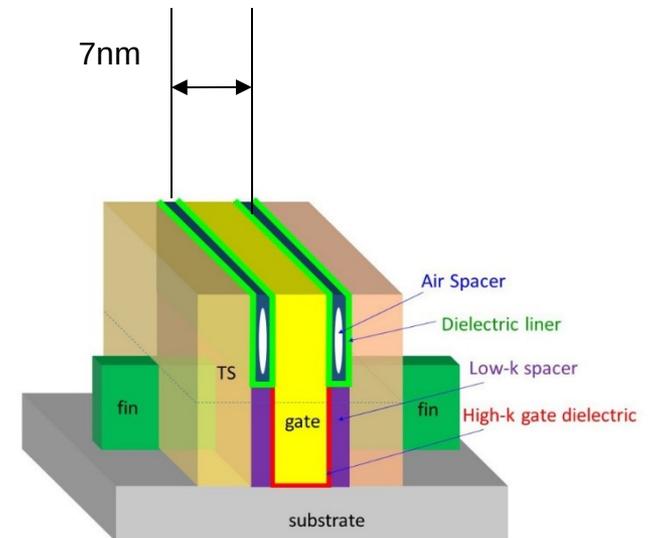
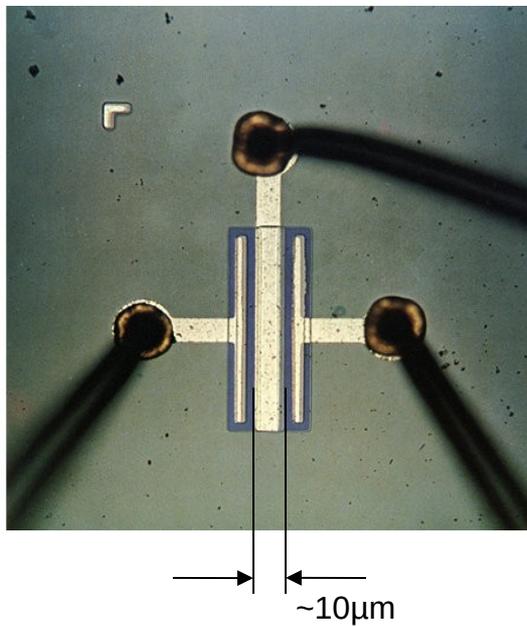
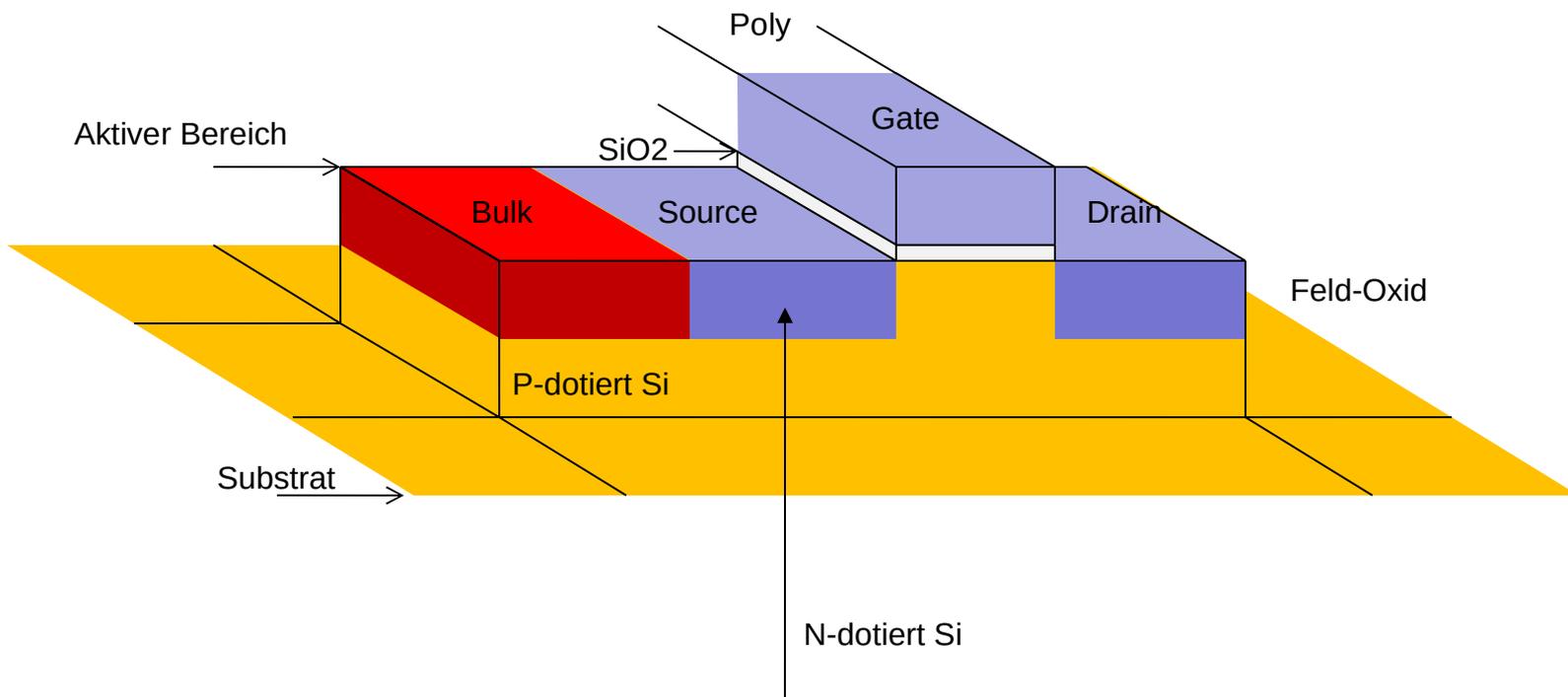


Vorlesung 2 – CMOS Schaltungen

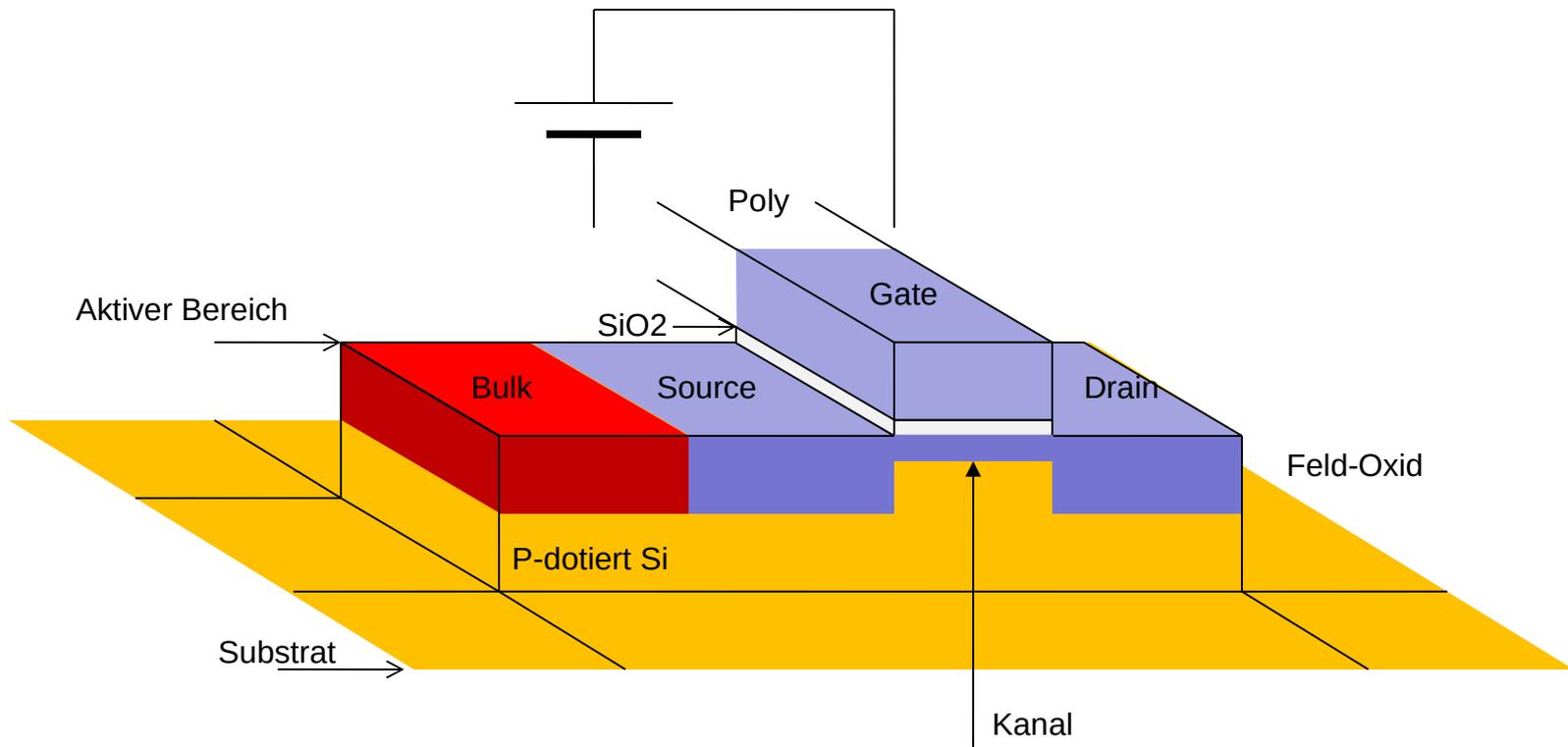
- CMOS logische Schaltungen – CMOS Gates
- CMOS ist eine Halbleitertechnologie - zwei Transistoren PMOS und NMOS
- CMOS steht für komplementäre Metal-Oxid-Semiconductor Transistoren

1959

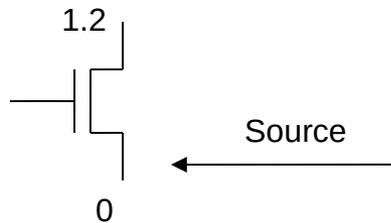




- Ein NMOS leitet Strom (Elektronen) bei einer positiven Gate-Source Spannung
- Ein Elektronkanal wird an der Silizium/Oxid Oberfläche erzeugt
- NMOS leitet auch wenn Drain höheres Potential als Gate hat. Wichtig ist nur $V_{gs} > V_{th}$
- Transistorschwelle V_{th} ist die minimale Gate Source Spannung die den Transistor einschaltet. Diese Spannung ist fast immer im Bereich 0.3 – 0.5V.

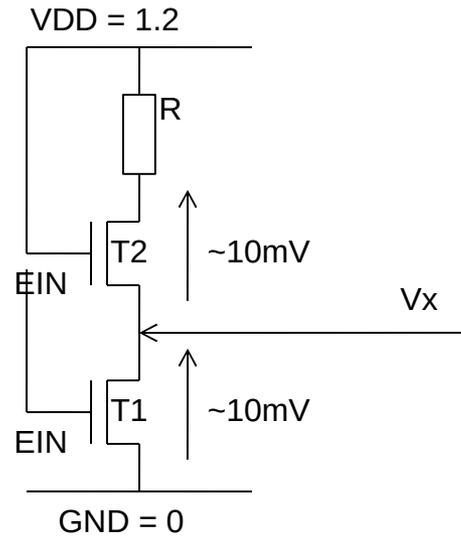
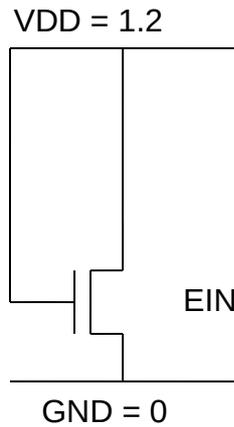


- Transistor ist symmetrisch
- NMOS: Source ist der Kontakt mit niedrigerem Potential

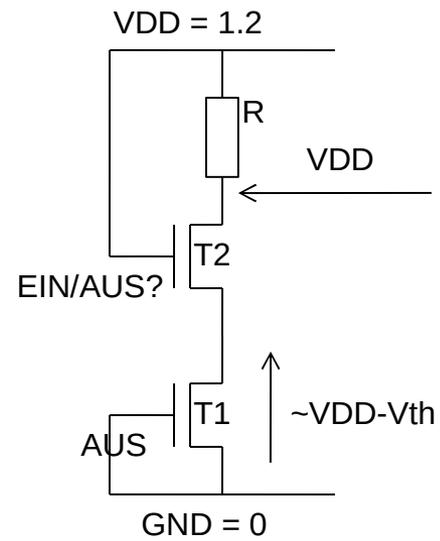


Nmos leitet

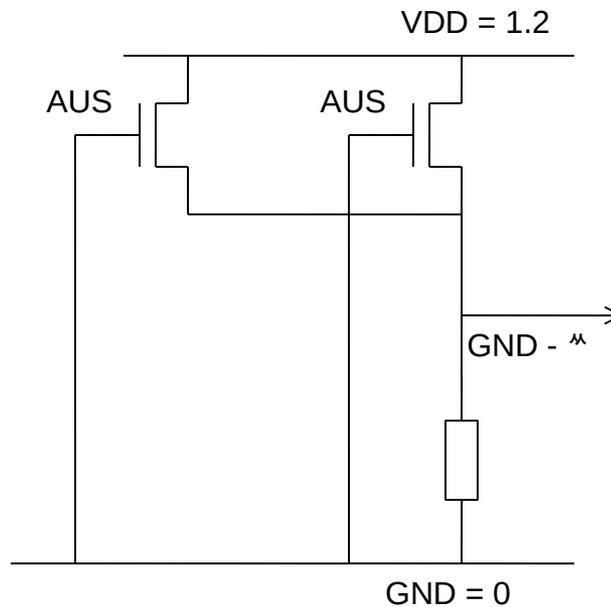
- Beispiel



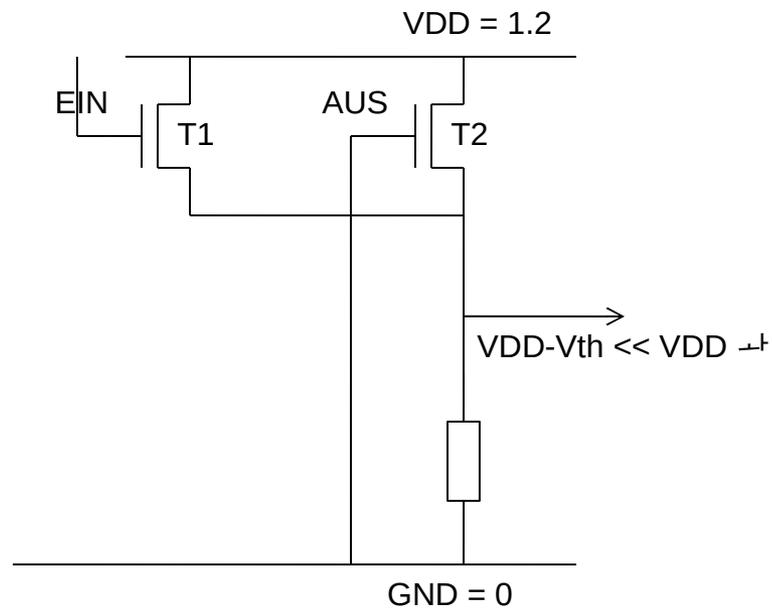
- Beispiel



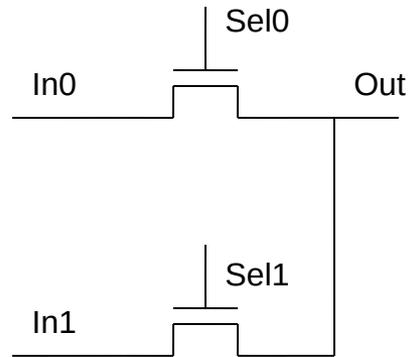
- NMOS Transistoren leiten besser wenn ihre Source-Kontakte an GND angeschlossen werden.
- ODER – Gate mit NMOS-en



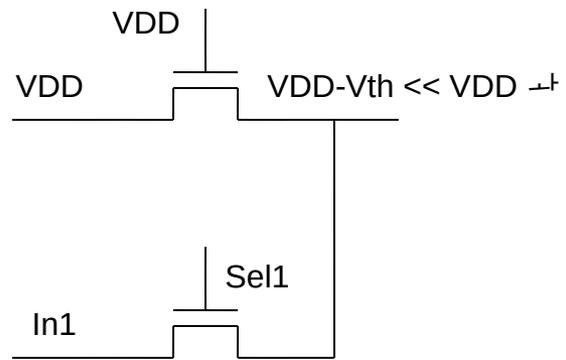
- NMOS Transistoren leiten besser wenn ihre Source-Kontakte an GND angeschlossen werden.
- ODER-Gate mit NMOS-en: Der Ausgang erreicht logische 1 nicht



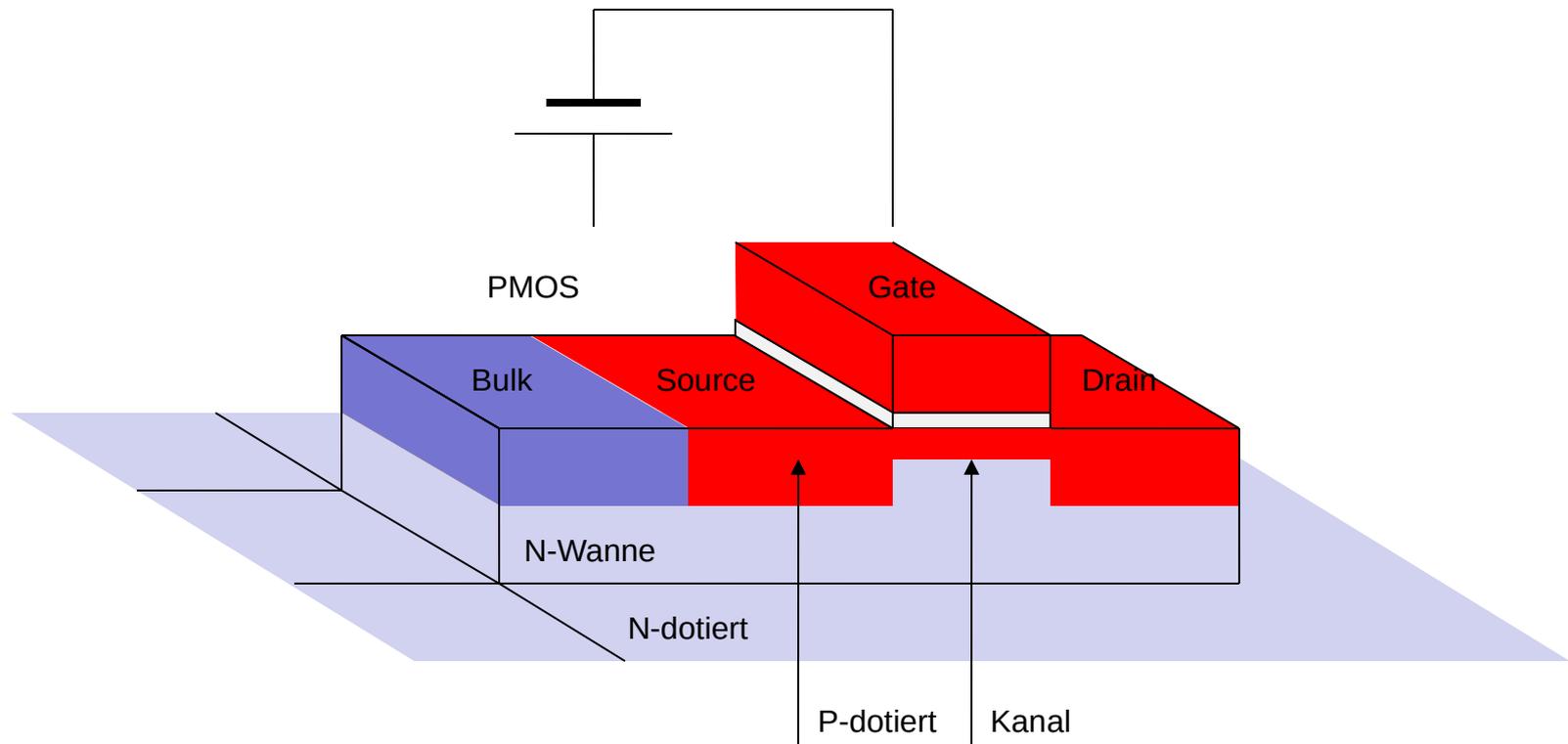
- Multiplexer



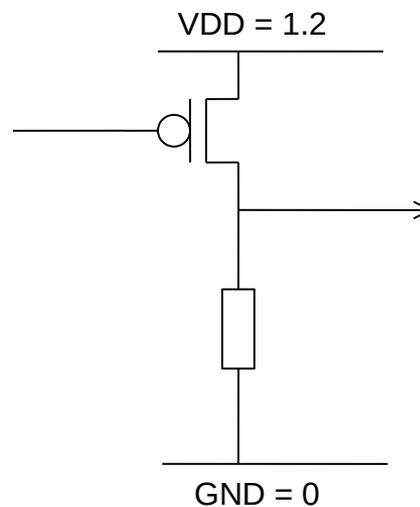
- Multiplexer



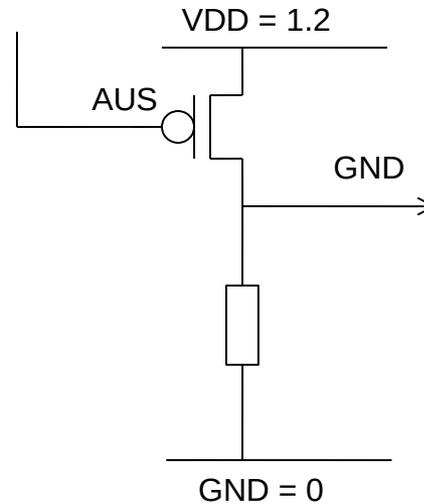
- PMOS Struktur
- P-dotierte Source und Drain (Diffusion). Bereich zwischen Source und Drain ist N-Dotiert.
- Negatives Gate – Löcher werden an die Silizium/Oxid Oberfläche angezogen. Transistor leitet
- Im PMOS ist Source der Kontakt mit höherem Potential.



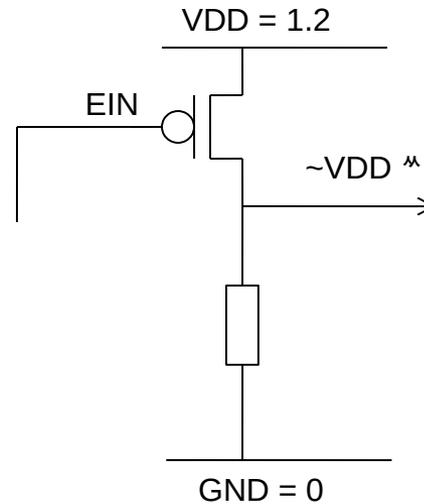
- PMOS leitet besser wenn sein Source an VDD angeschlossen ist.
- PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren.
- PMOS Inverter



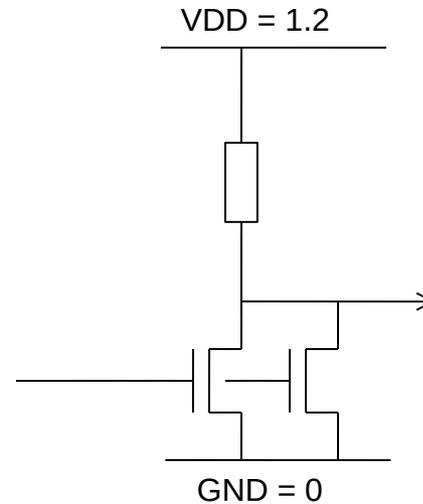
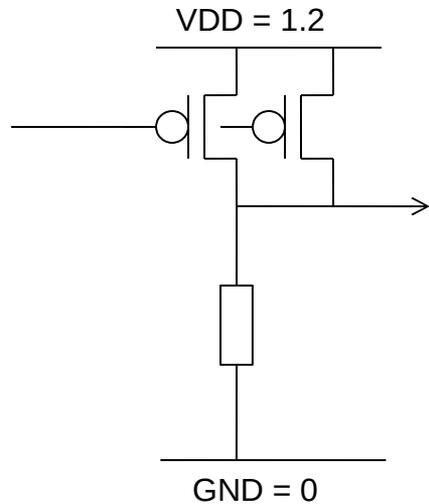
- PMOS leitet besser wenn sein Source an VDD angeschlossen ist.
- PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren.
- PMOS Inverter



- PMOS leitet besser wenn sein Source an VDD angeschlossen ist.
- PMOS Transistoren kann man mit Pull-Down Widerständen kombinieren.
- PMOS Inverter

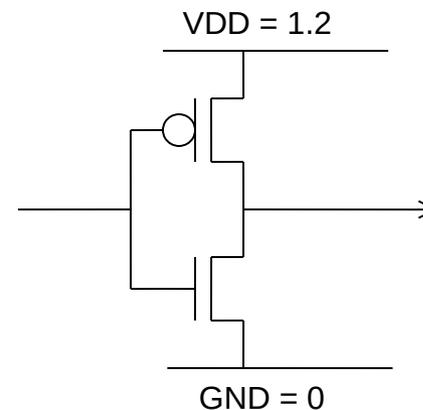


- Logische Schaltungen mit NMOS Transistoren und Pullup-Widerständen und mit PMOS Transistoren und Pulldown Widerständen sind möglich.
- RTL-Logik Familie
- Nachteile - DC Stromverbrauch
- Man könnte R vergrößern (um Strom zu sparen) aber große Polysilizium Widerstände sind auf einem Chip groß
- Logische Gatter wären langsam

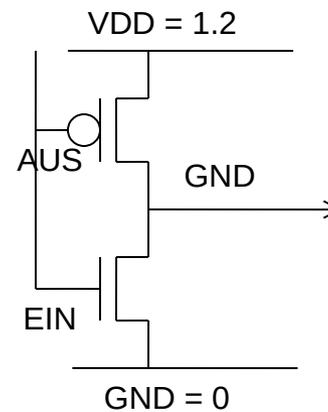


- ...

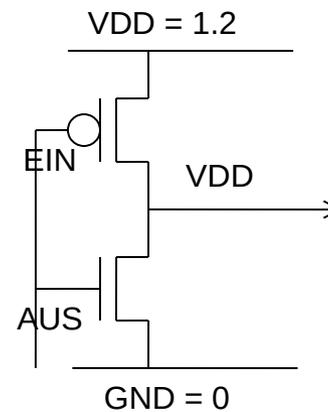
- NMOS und PMOS Transistoren sind komplementär
- Gates haben verschiedene Polaritäten, NMOS erzeugt „bessere“ 0, PMOS bessere 1
- Idee: In einem NMOS Inverter den Widerstand durch den PMOS ersetzen
- => CMOS Inverter



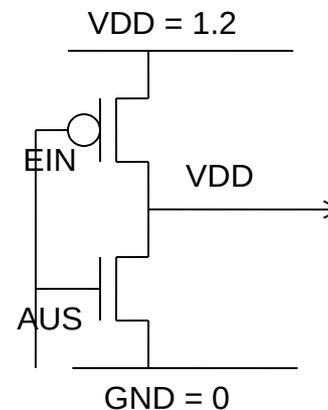
- NMOS und PMOS Transistoren sind komplementär
- Gates haben verschiedene Polaritäten, NMOS erzeugt „bessere“ 0, PMOS bessere 1
- Idee: In einem NMOS Inverter den Widerstand durch den PMOS ersetzen
- => CMOS Inverter



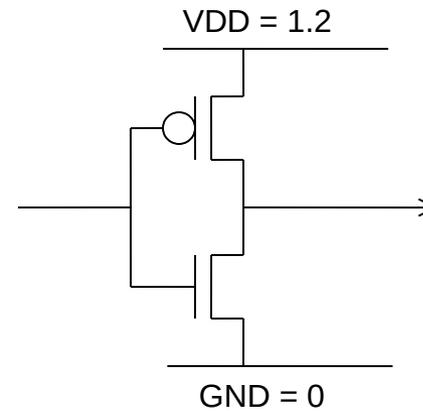
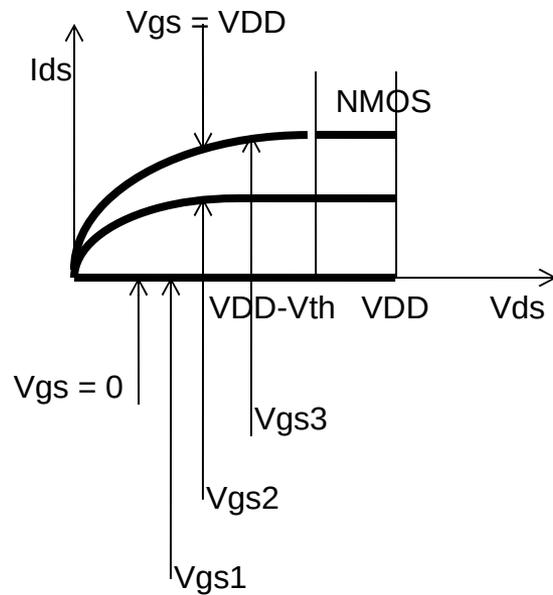
- NMOS und PMOS Transistoren sind komplementär
- Gates haben verschiedene Polaritäten, NMOS erzeugt „bessere“ 0, PMOS bessere 1
- Idee: In einem NMOS Inverter den Widerstand durch den PMOS ersetzen
- => CMOS Inverter



- Vorteile:
- Kein DC Strom
- Inverter besteht nur aus Transistoren – klein im Layout
- Die Umlade-Zeit hängt vom Widerstand des leitenden Transistors und der Ausgangskapazität. Die Transistoren können passend dimensioniert werden
-> die Schaltung ist schnell.

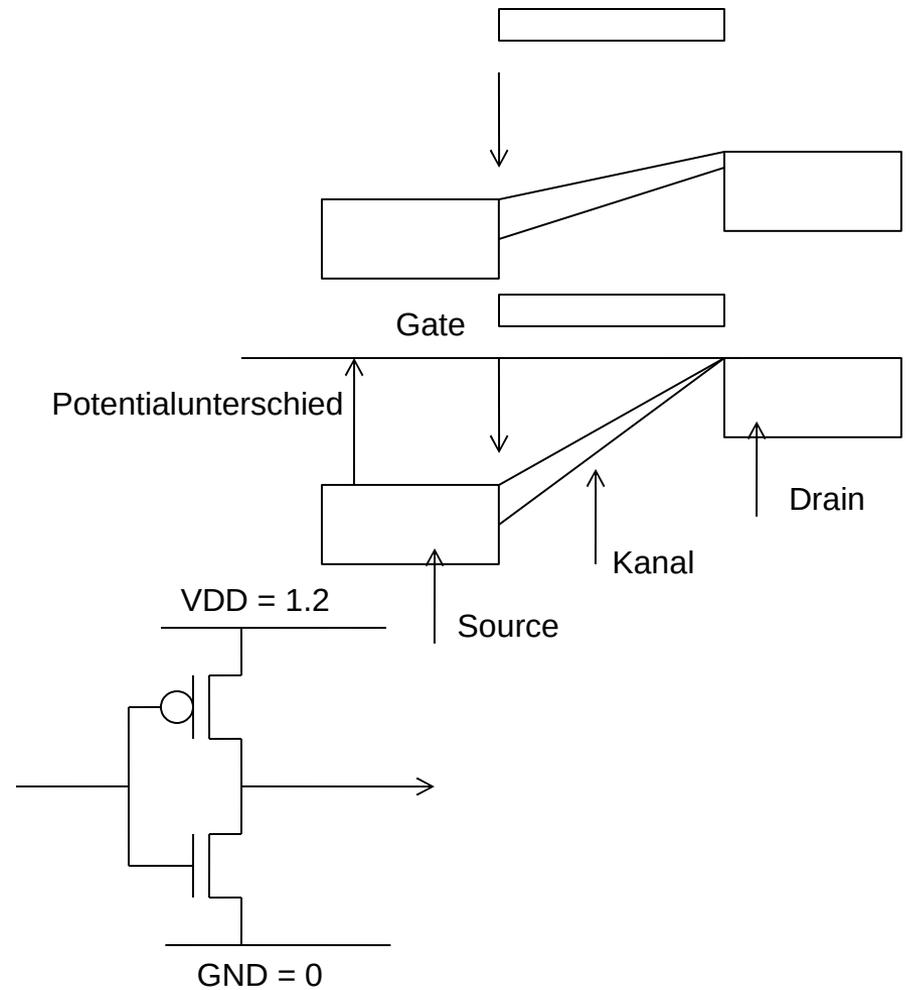
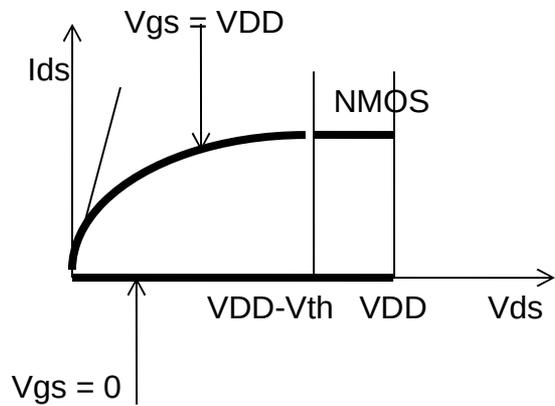


- Kennlinien
- Transistor = variabler Widerstand

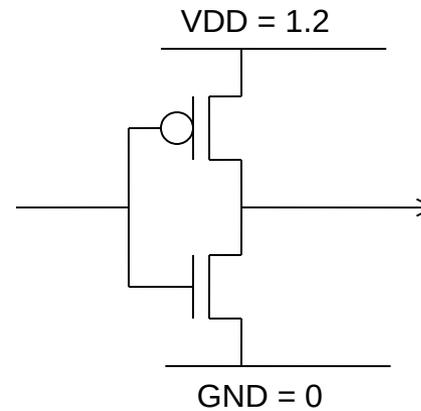
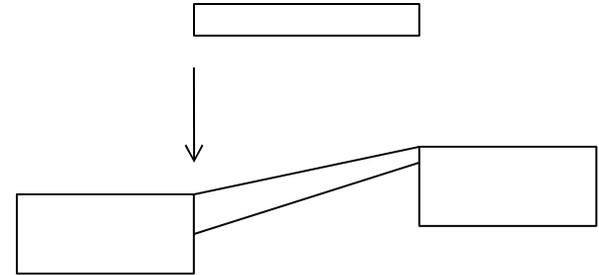
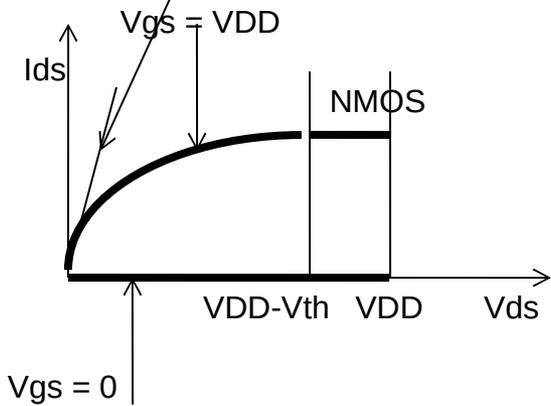


- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$

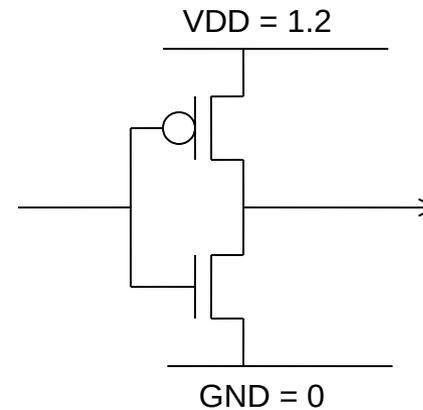
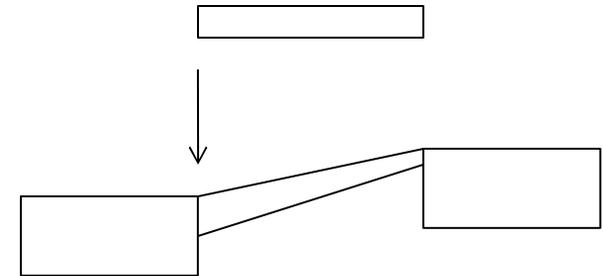
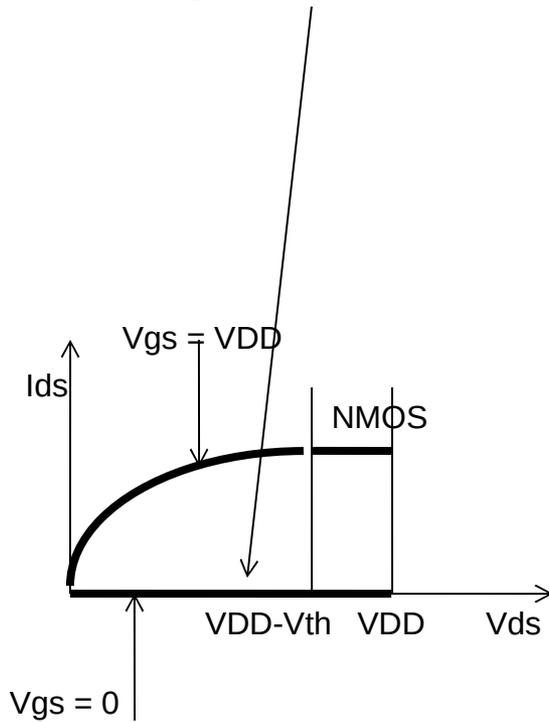
Beweglichkeit ↑
 Kapazitätsbelag ↑



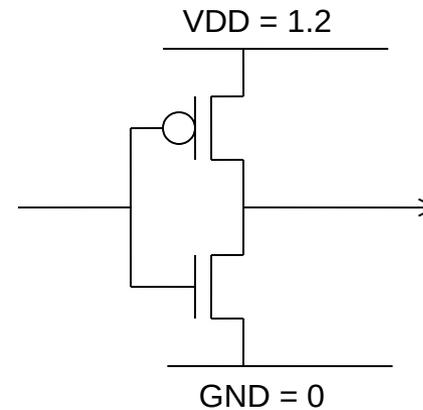
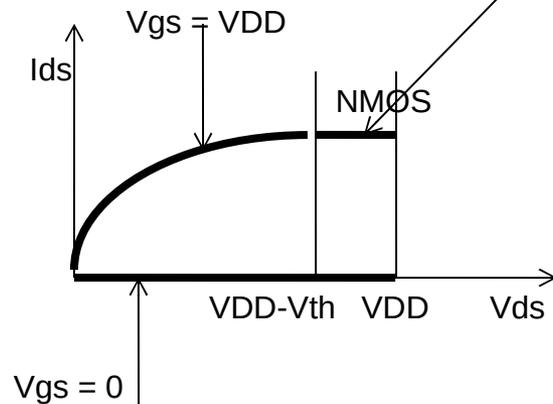
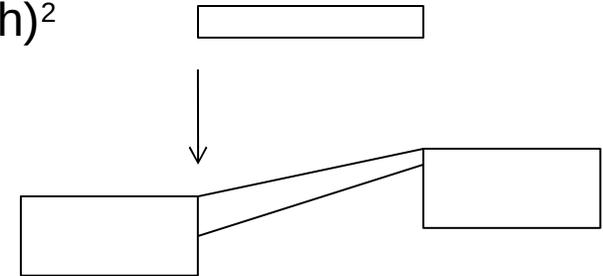
- $$I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$$



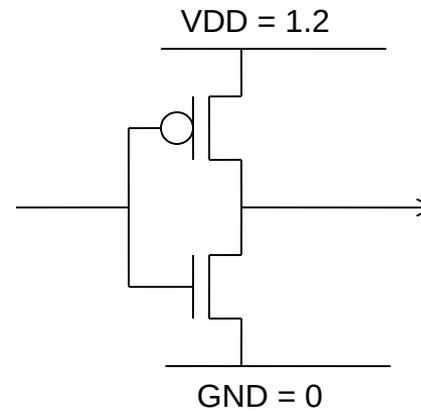
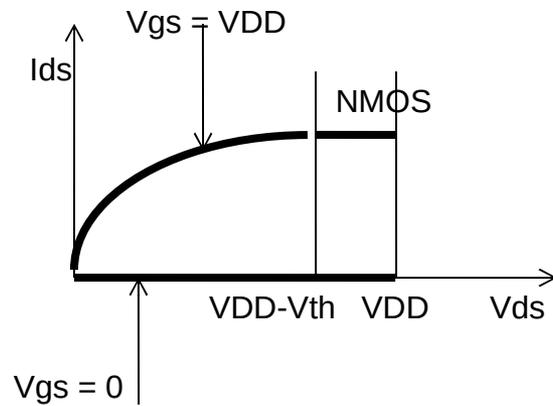
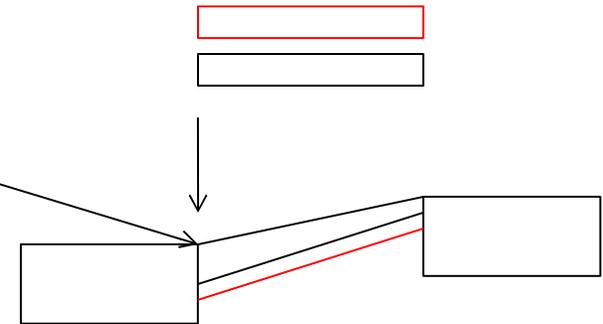
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$
- Für $V_{gs} < V_{th}$ der Strom ist null



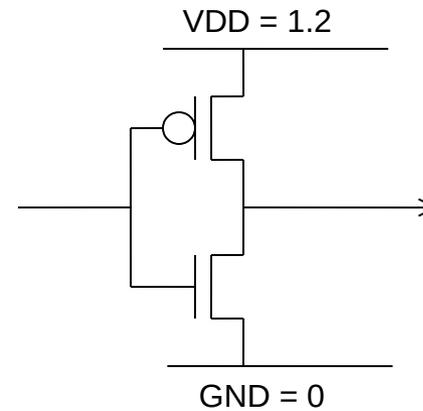
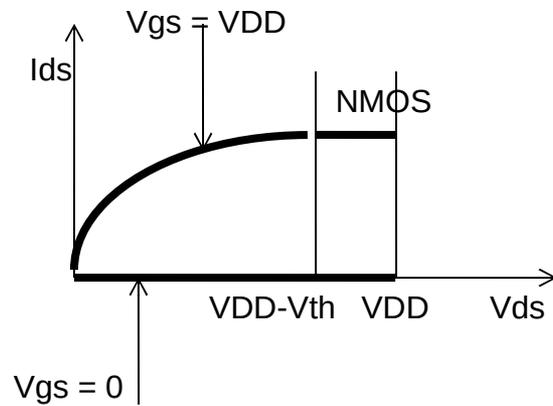
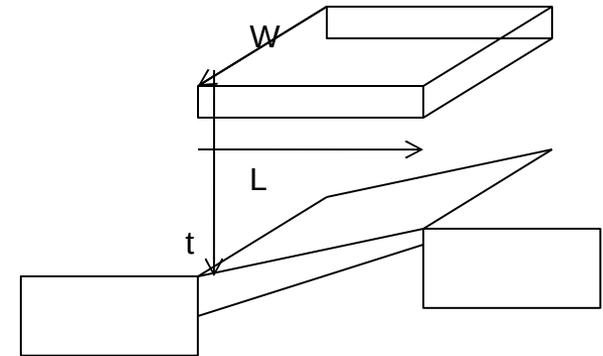
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$
- Für $V_{gs} > V_{ds} - V_{th}$: $I_{ds} = \frac{1}{2} \mu C_{ox} W/L (V_{gs} - V_{th})^2$



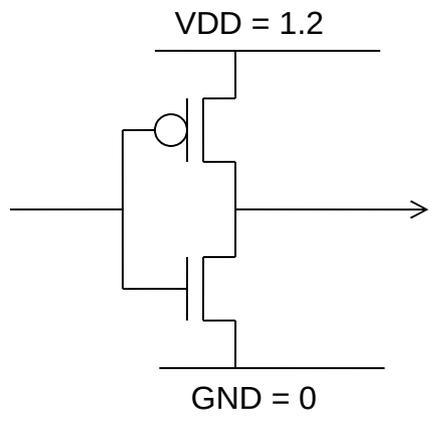
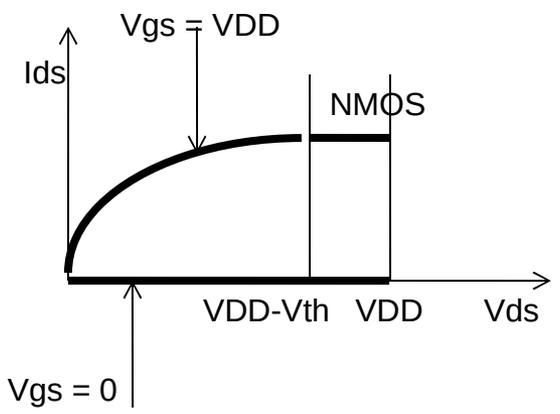
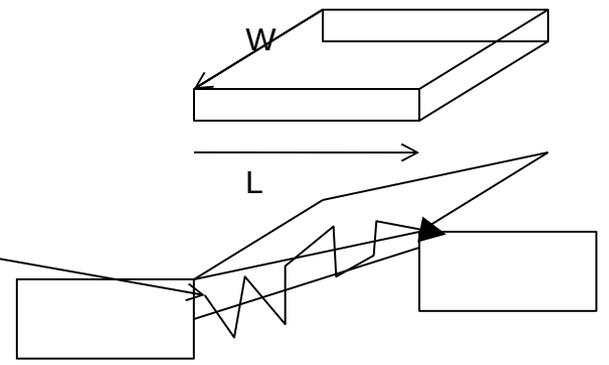
- $$I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$$



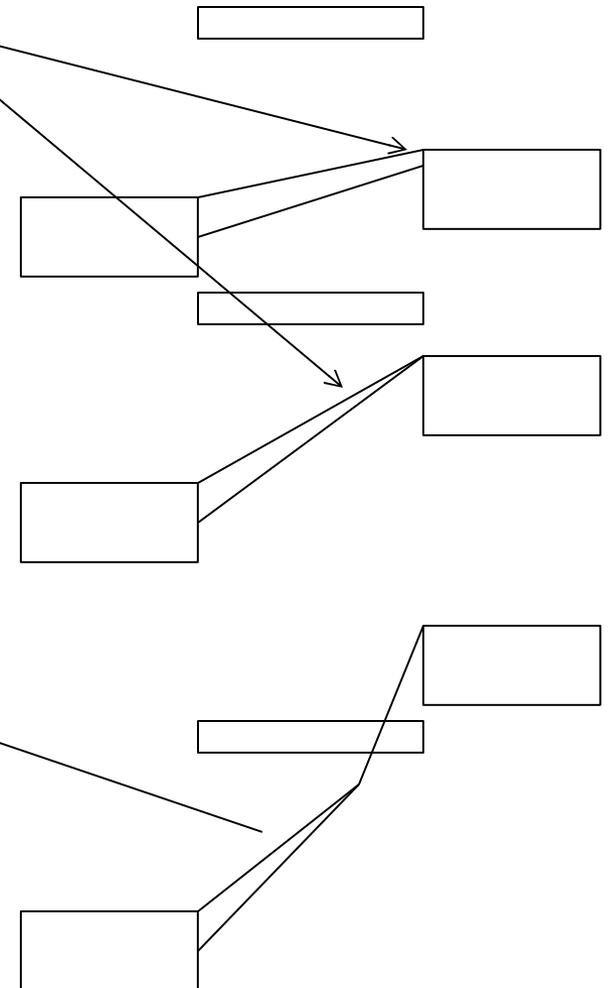
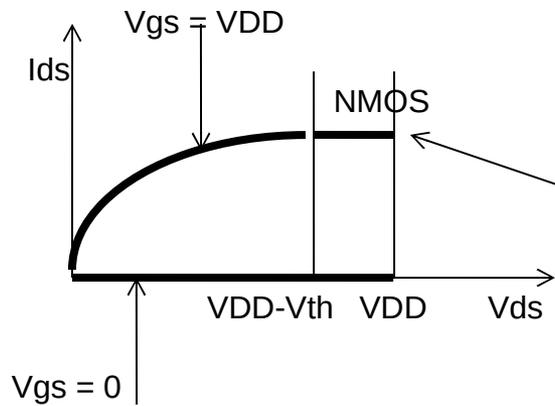
- $$I_{ds} = \mu C_{ox} \left(\frac{W}{L} \right) ((V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2})$$



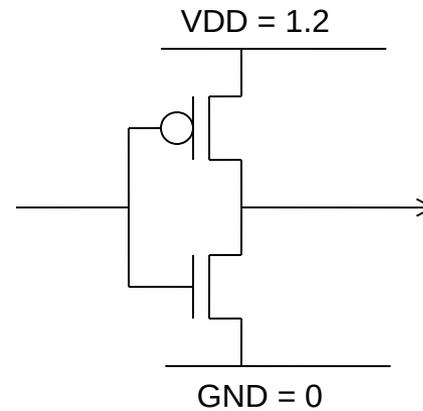
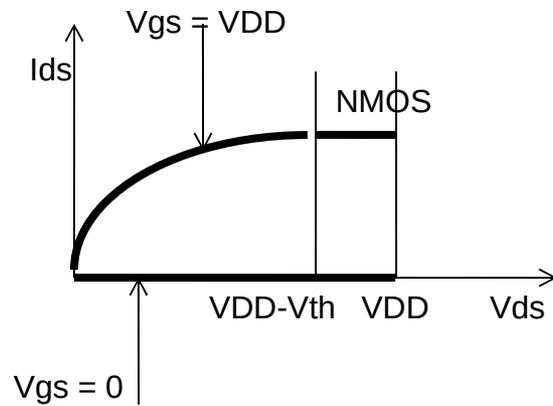
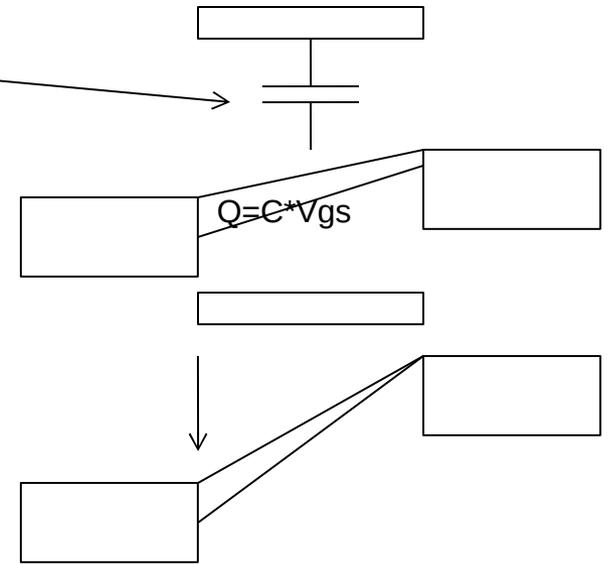
- $I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$



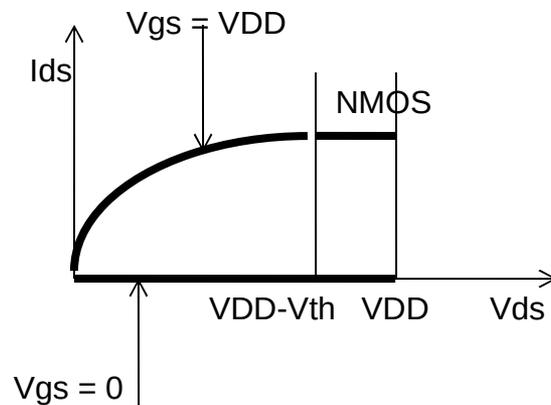
- $$I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$$



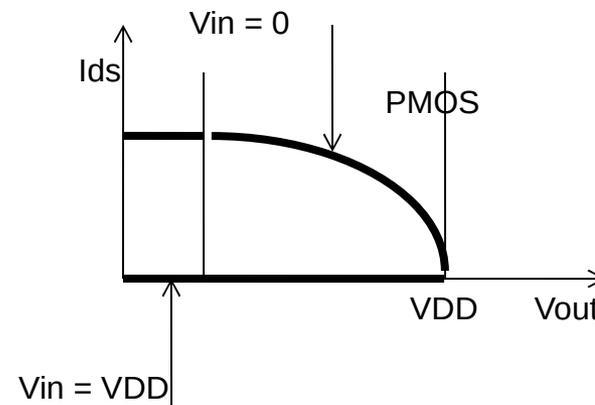
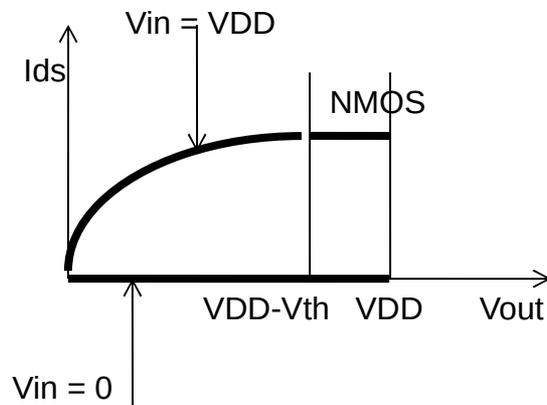
- $$I_{ds} = \mu C_{ox} W/L ((V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2)$$



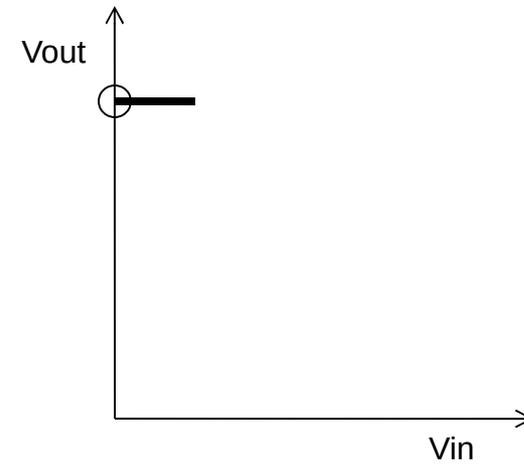
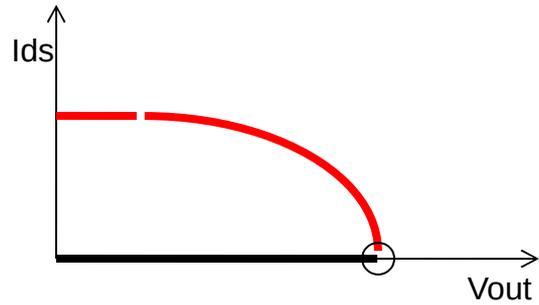
- Man kann den Leitwert des Transistors erhöhen indem man W/L erhöht.
- **Mobilität der Löcher ist etwa 2x niedriger, deshalb leitet ein PMOS mit gleichem W/L Verhältnis etwa 2x schlechter.**



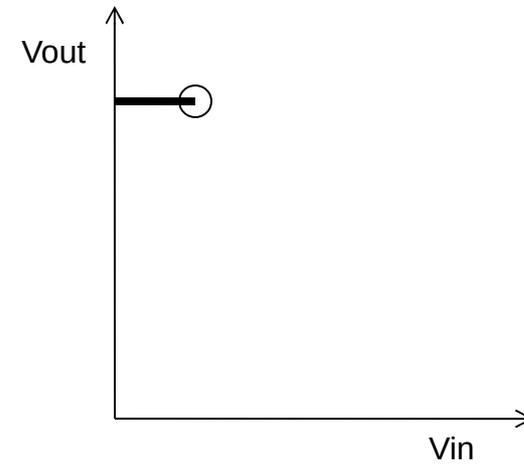
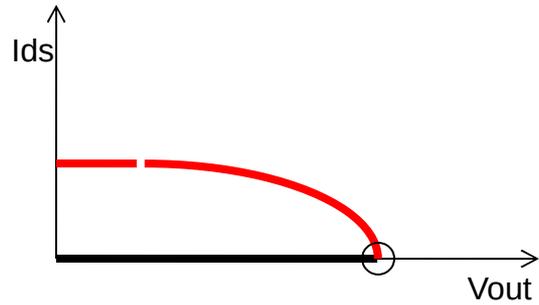
- Inverter: folgendes gilt:
- V_{ds} des NMOS Transistors = V_{out} .
- V_{gs} des NMOS Transistors = V_{in} .
- $|V_{ds}|$ des PMOS Transistors = $V_{DD} - V_{out}$.
- $|V_{gs}|$ des PMOS Transistors = $V_{DD} - V_{in}$



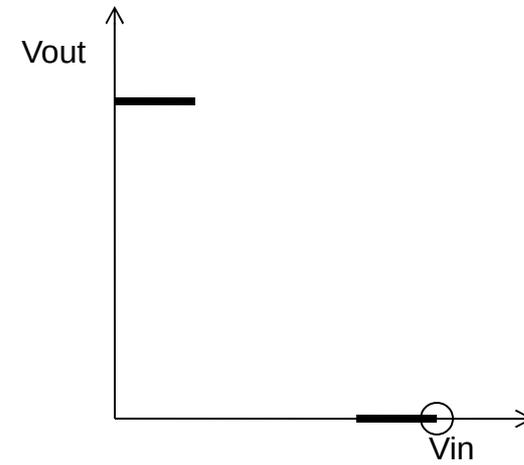
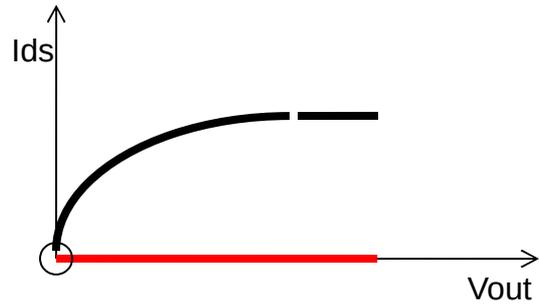
- Für $V_{in} < V_{th}$, leitet der NMOS nicht und $V_{out} = V_{DD}$



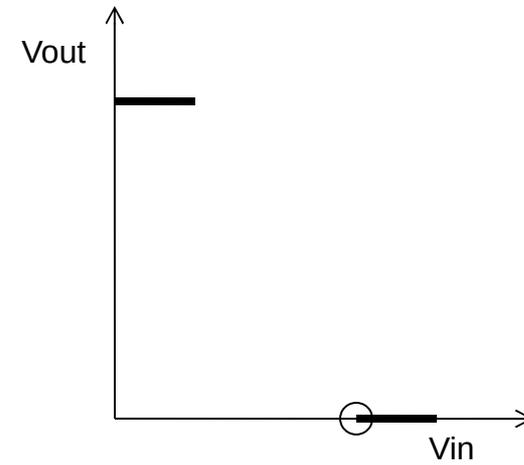
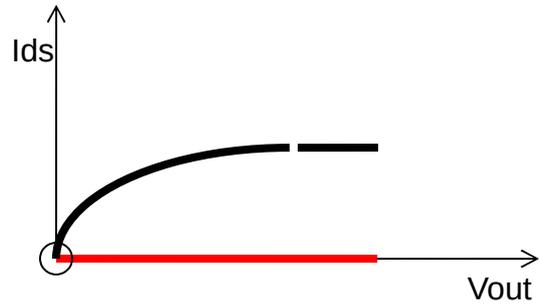
- Für $V_{in} < V_{th}$, leitet der NMOS nicht und $V_{out} = V_{DD}$



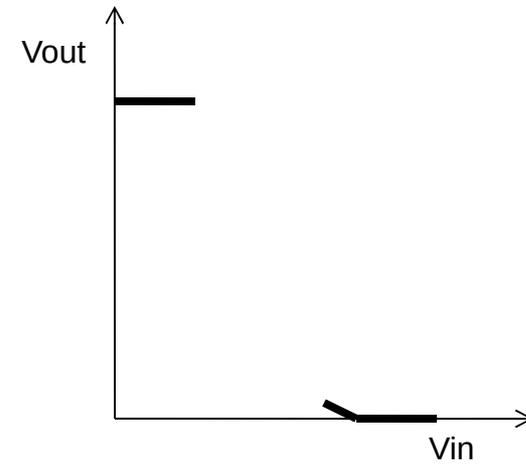
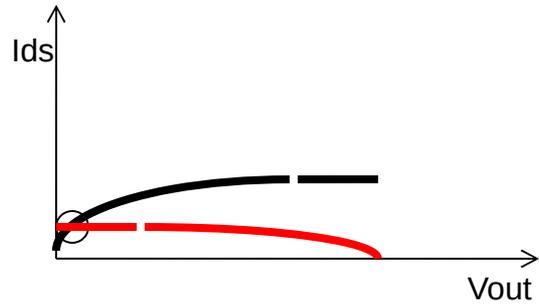
- Für $V_{in} > V_{DD} - V_{th}$ leitet der PMOS nicht und $V_{out} = 0$.



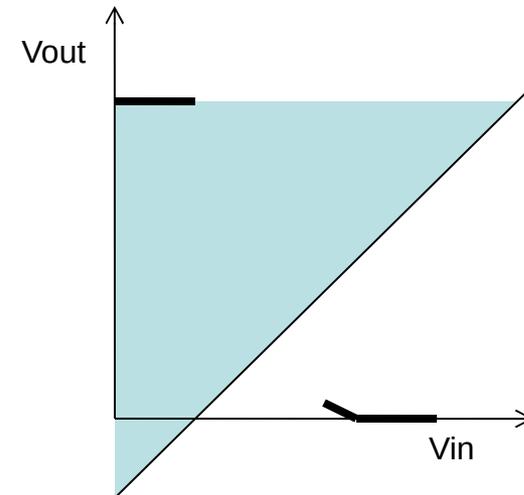
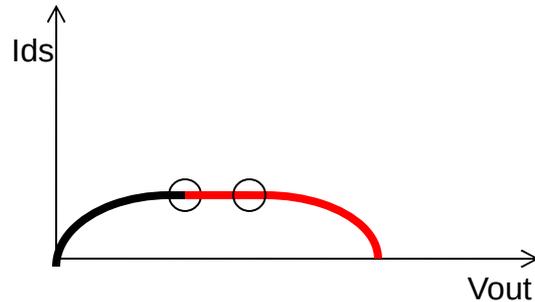
- Für $V_{in} > V_{DD} - V_{th}$ leitet der PMOS nicht und $V_{out} = 0$.



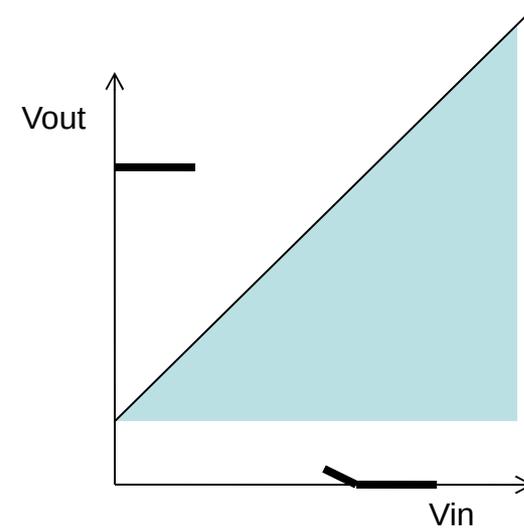
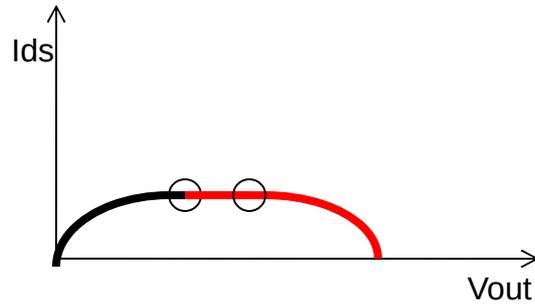
- Im Bereich $V_{th} < V_{in} < V_{DD} - V_{th}$ leiten beide Transistoren



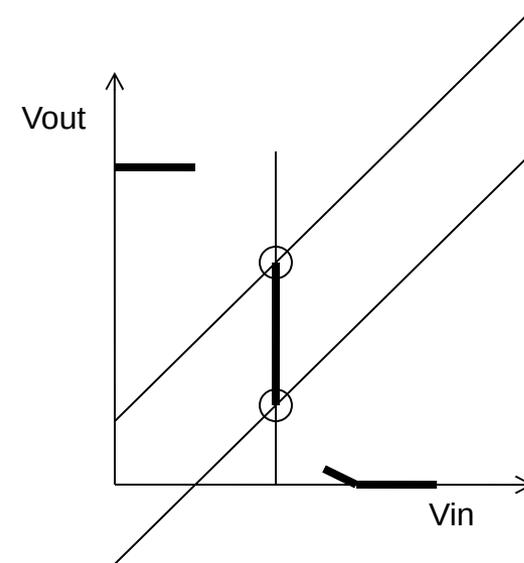
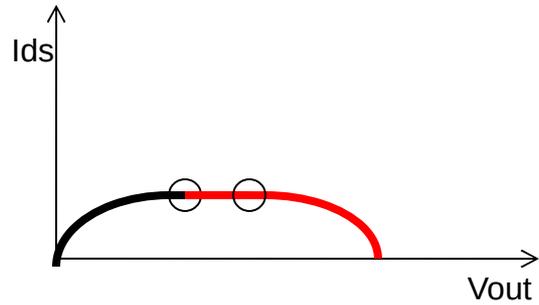
- Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind
- Für NMOS ist Sättigung für $V_{ds} > V_{gs} - V_{th}$ gegeben $\rightarrow V_{out} > V_{in} - V_{th}$



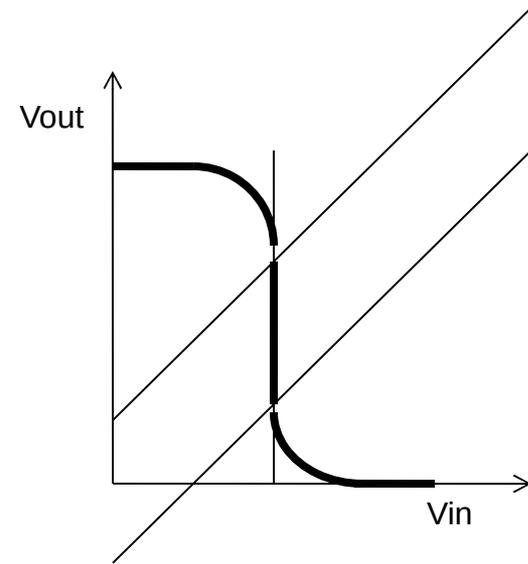
- Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind
- Für PMOS haben wir Sättigung wenn $|V_{ds}| > |V_{gs}| - |V_{th}| \rightarrow V_{out} < V_{in} + V_{th}$



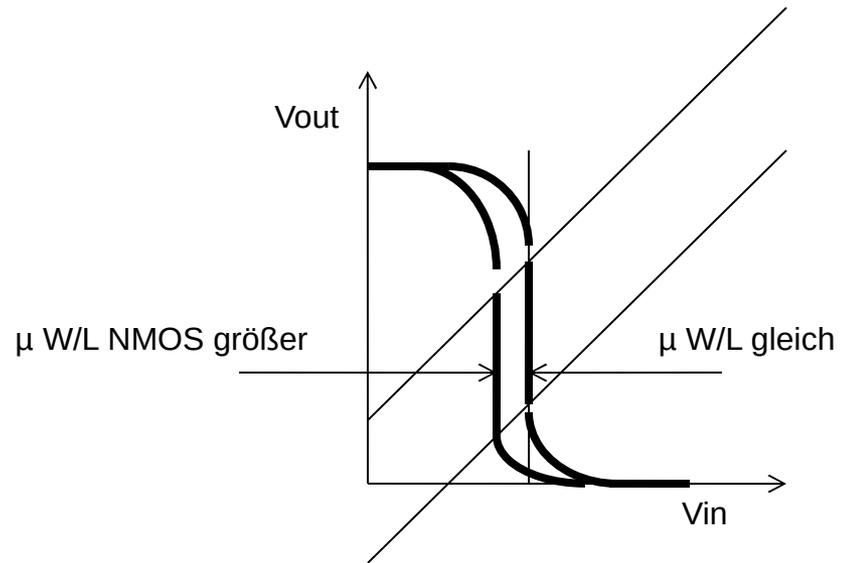
- Die Kennlinie ist besonders steil im Bereich wo beide Transistoren in Sättigung sind
- ...



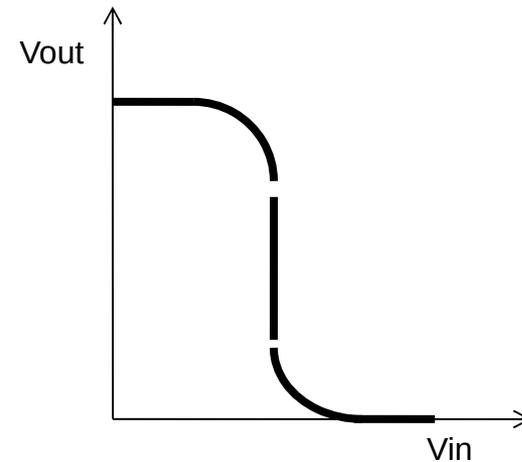
- ...



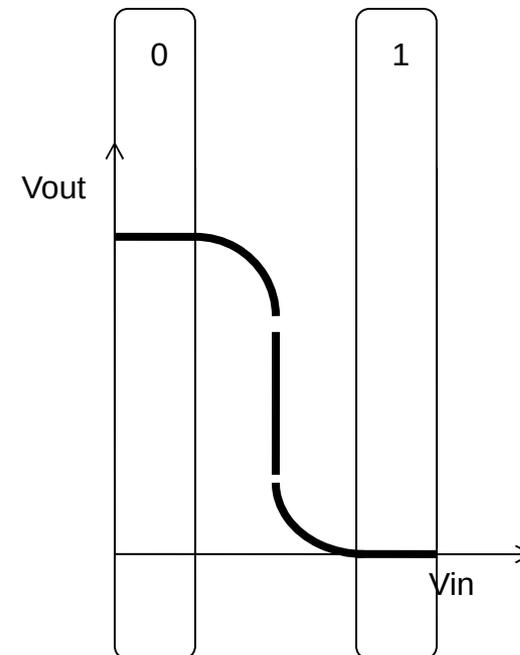
• ...



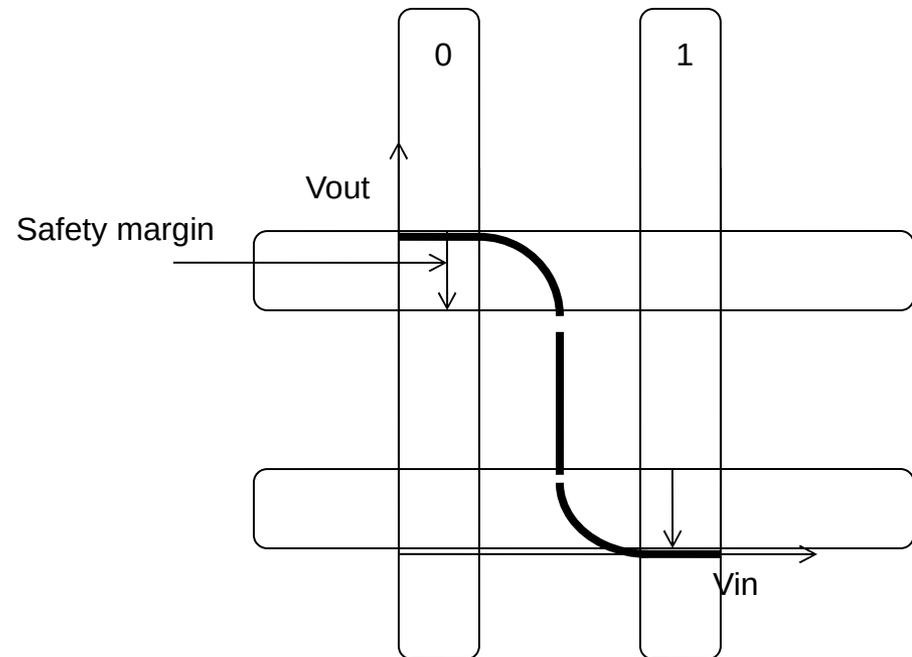
- die Kennlinie ist stark nichtlinear – es ist in Ordnung weil...
- wir möchten, dass der Ausgang auf jeden Fall logische 0 ist wenn der Eingang = 1
- wenn der Eingang = 0, sollte Ausgang logische 1 sein



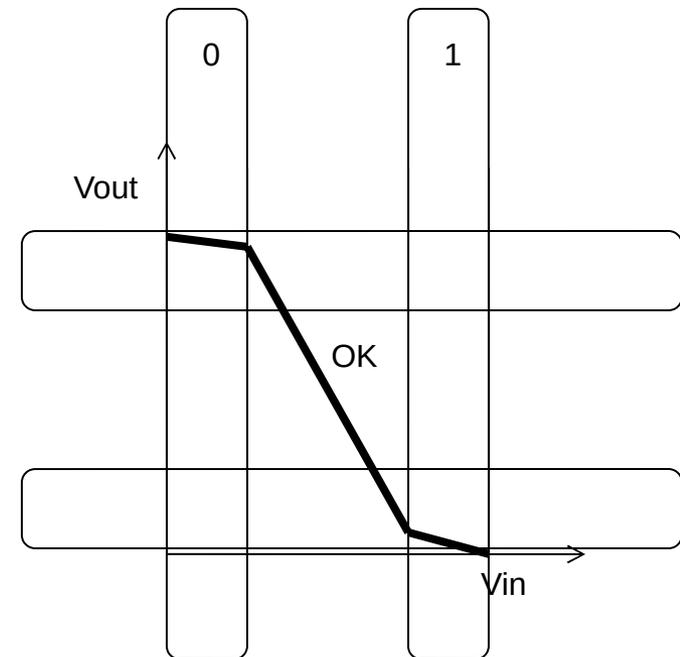
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



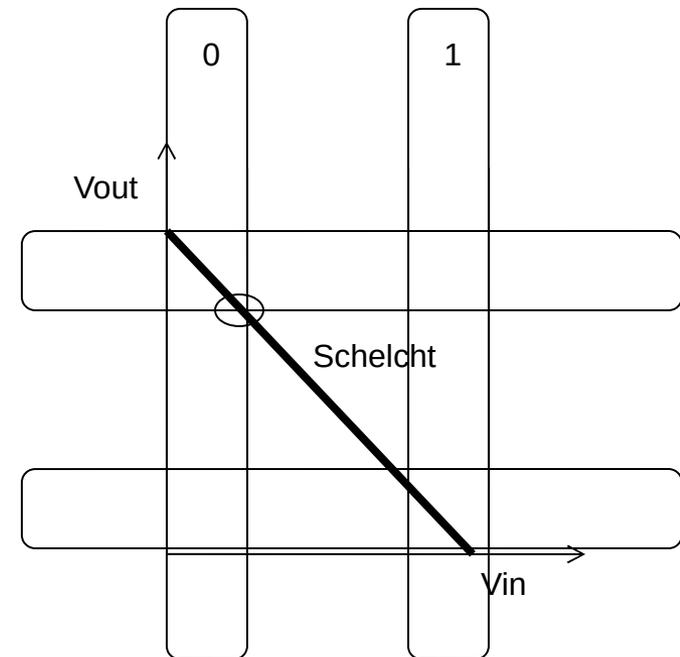
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



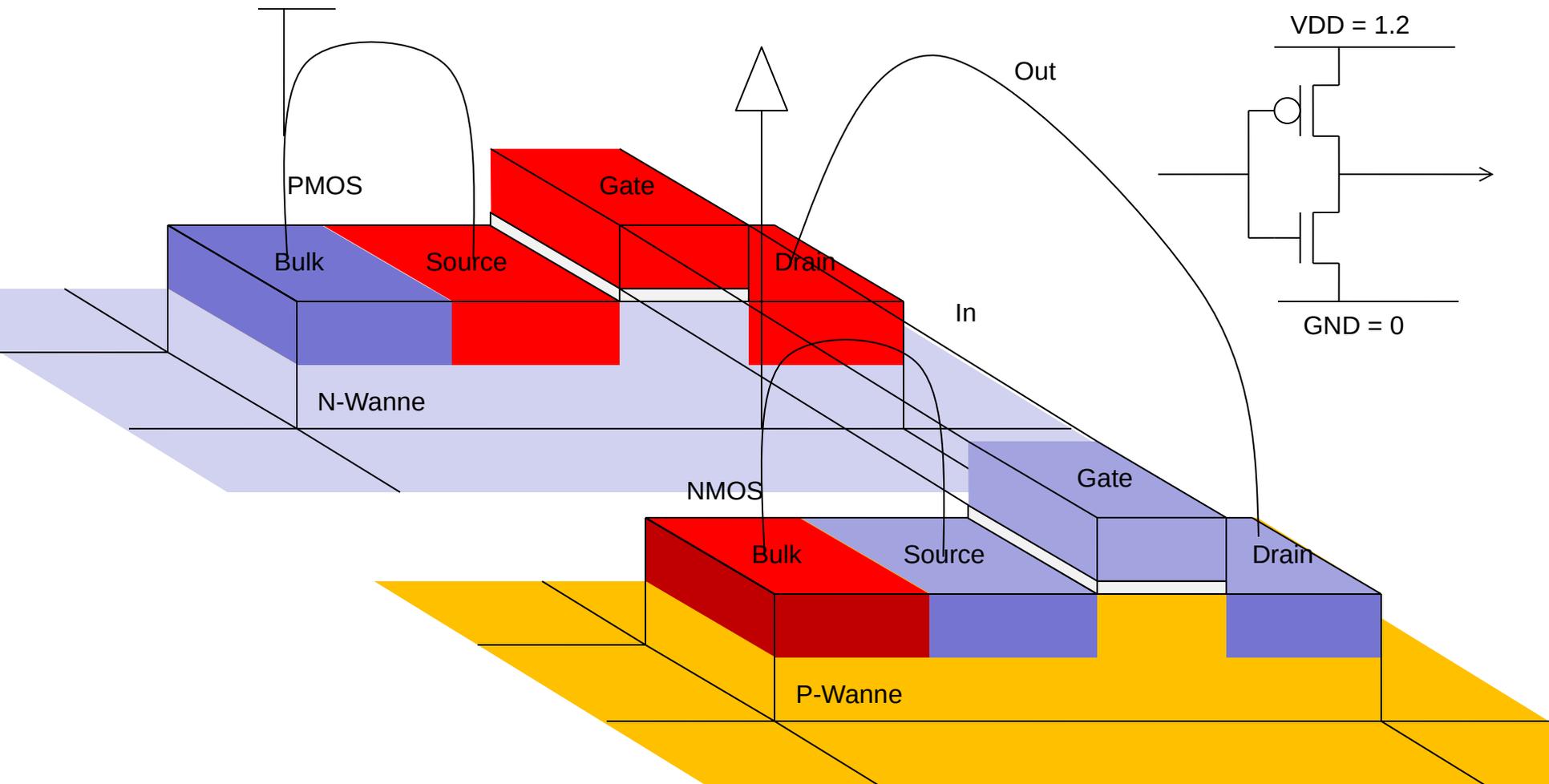
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



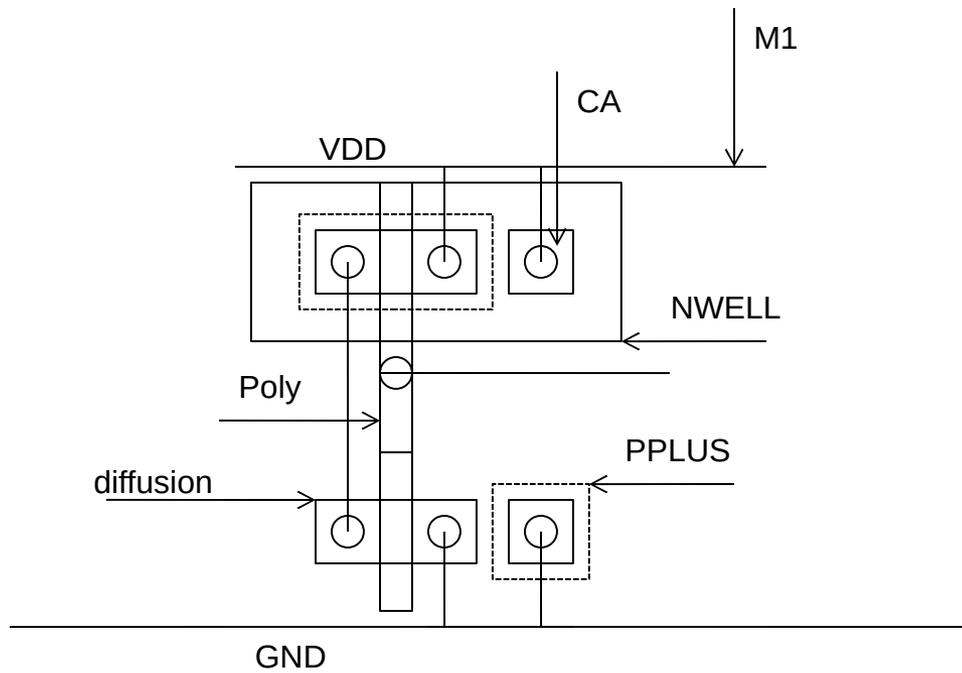
- Wie definieren wir die logische Niveaus?
- Logische eins - z.B. $V > V_{DD} - V_{th}$
- Logische Null als $V < V_{th}$.



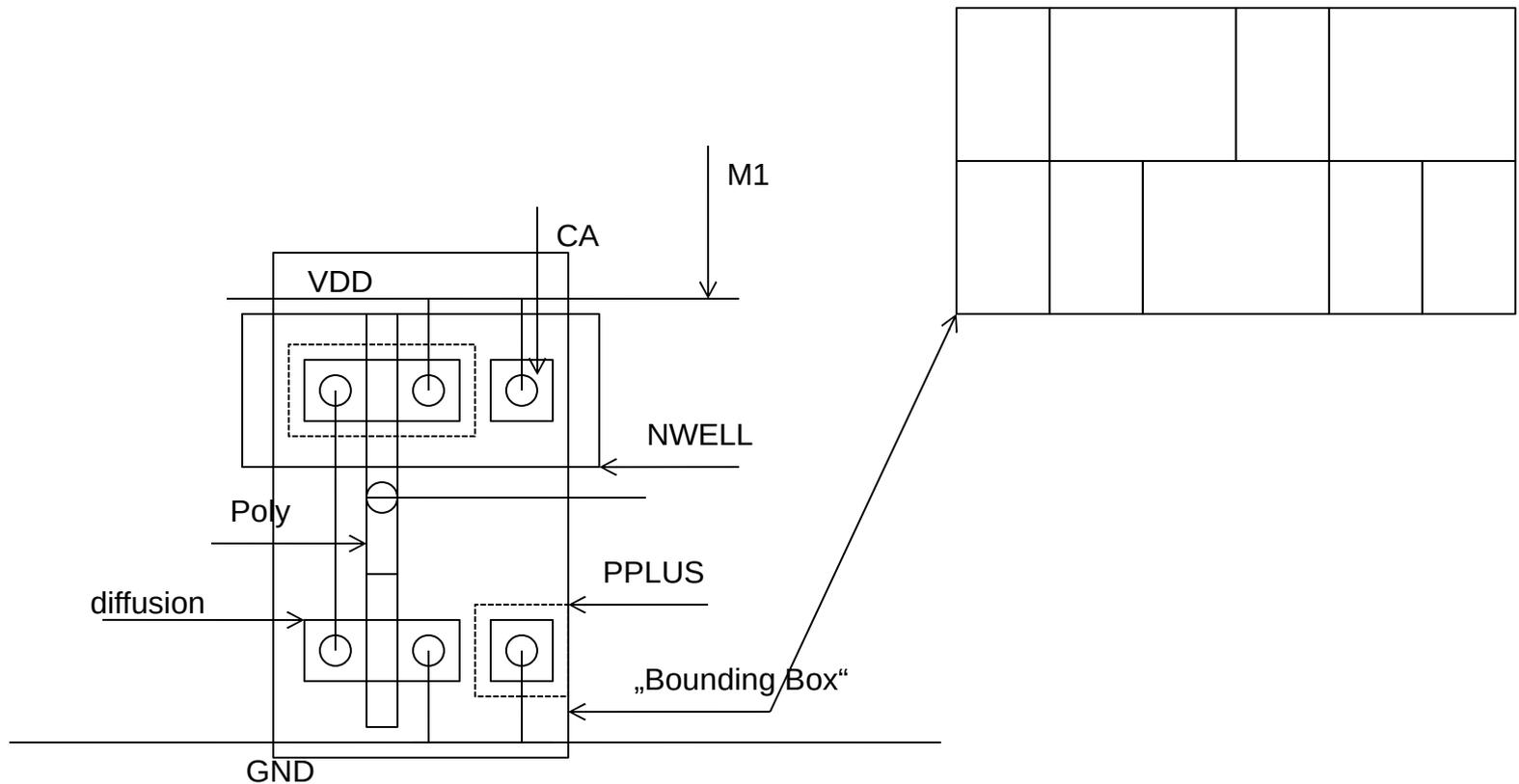
- Layout



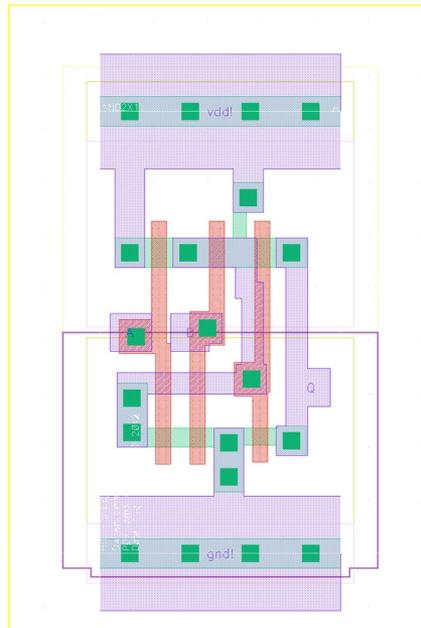
- Layout



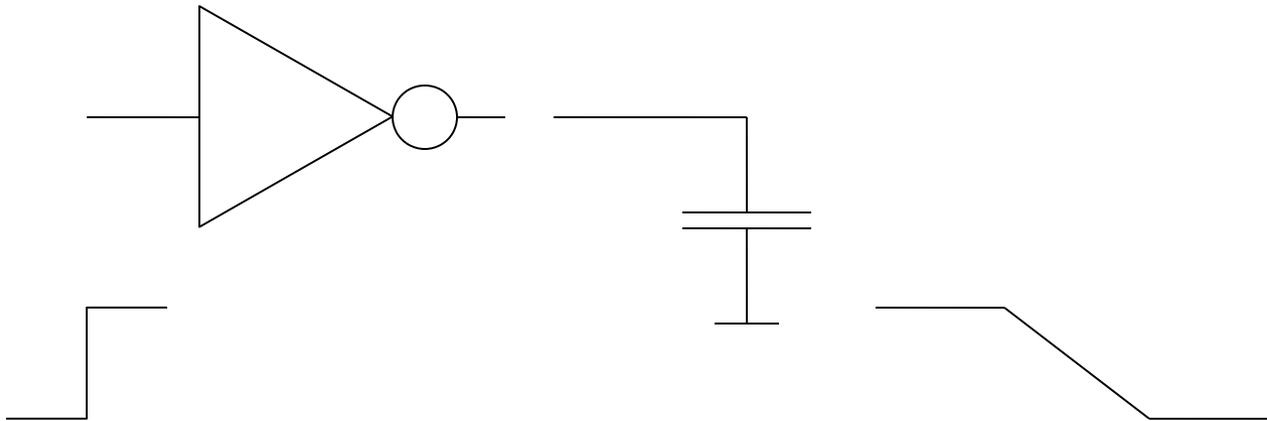
- Standardzelle
- Bestimmte Größe – Höhe gleich für jede Zelle, Breite $N * W_{min}$
- Zellen kann man nebeneinander platzieren (Bounding Box)
- Nur unterste Metalllagen werden benutzt



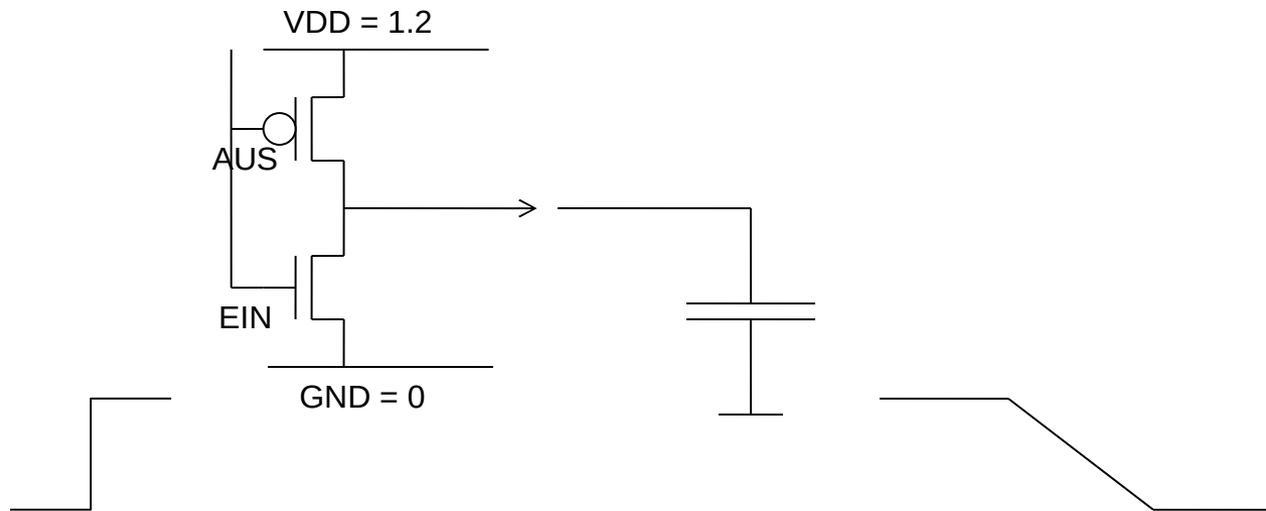
- Standardzelle



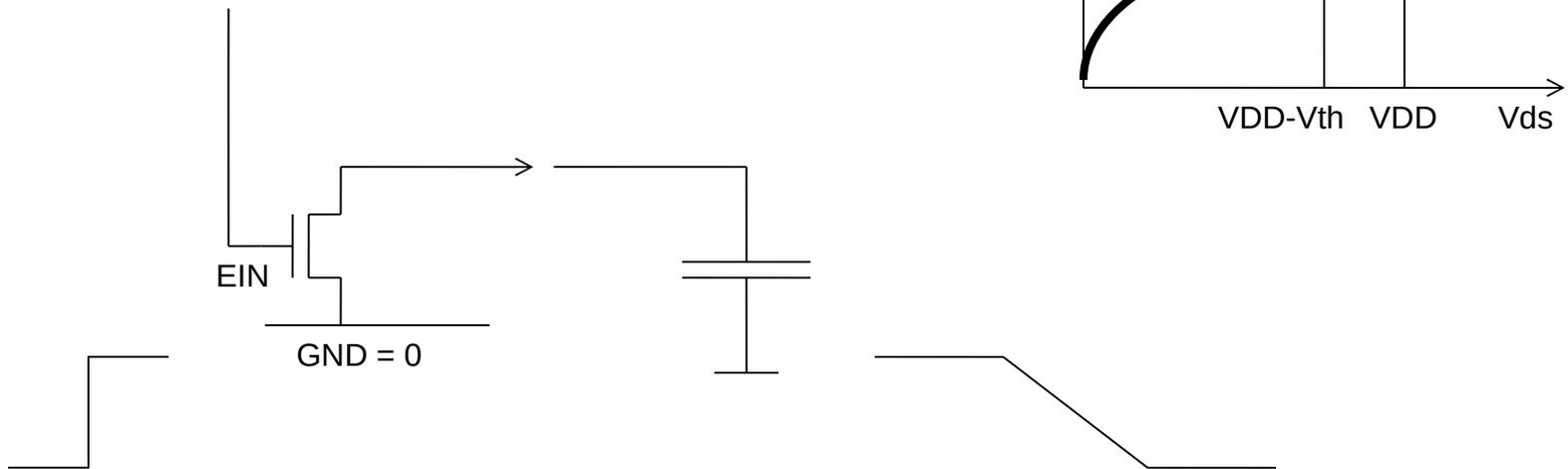
- Geschwindigkeit des Inverters



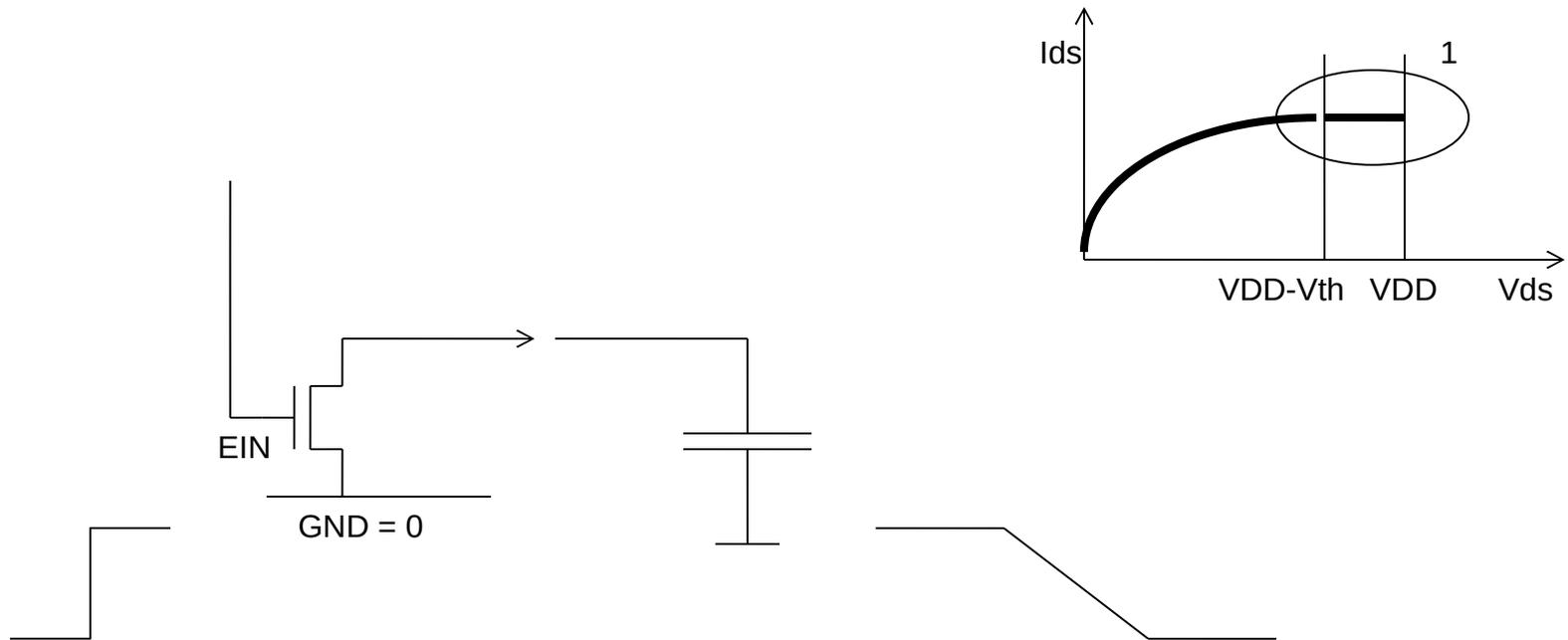
- Geschwindigkeit des Inverters



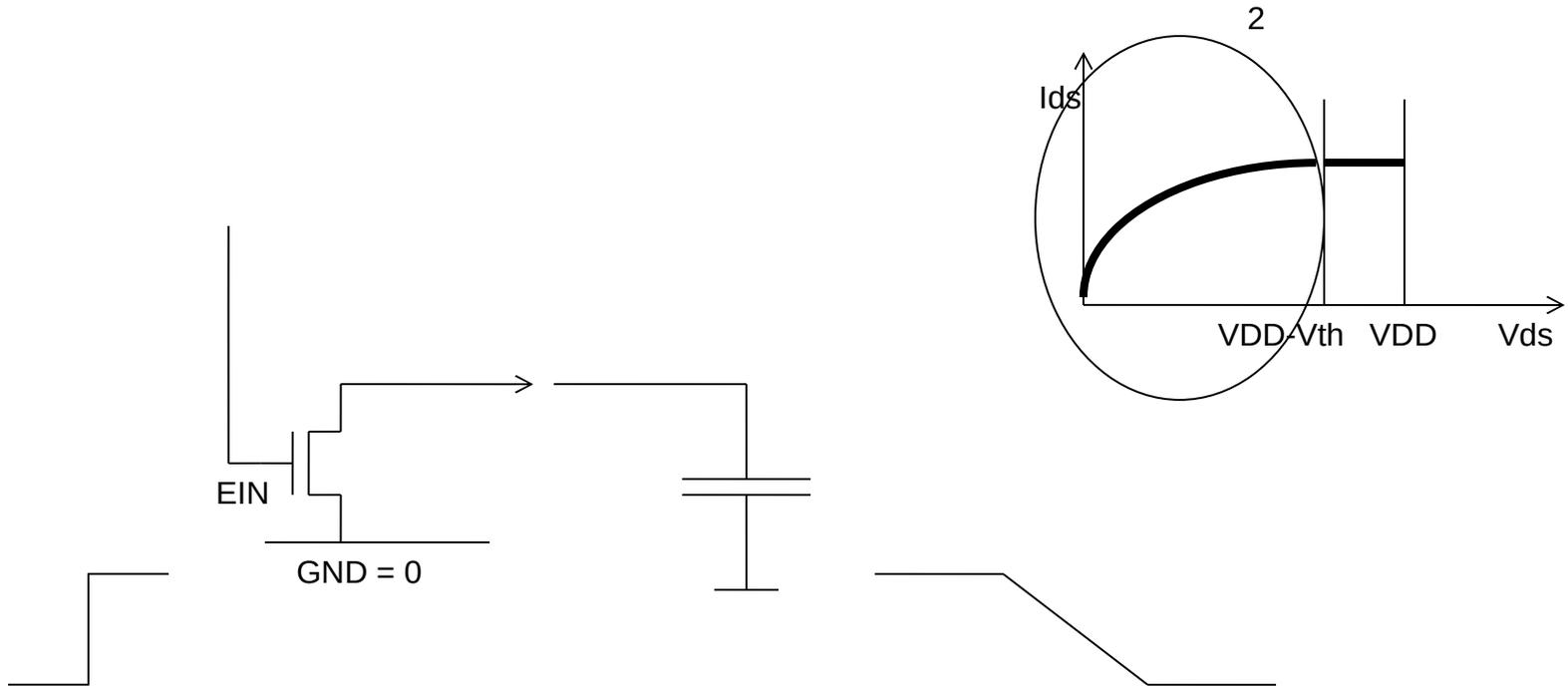
- Geschwindigkeit des Inverters



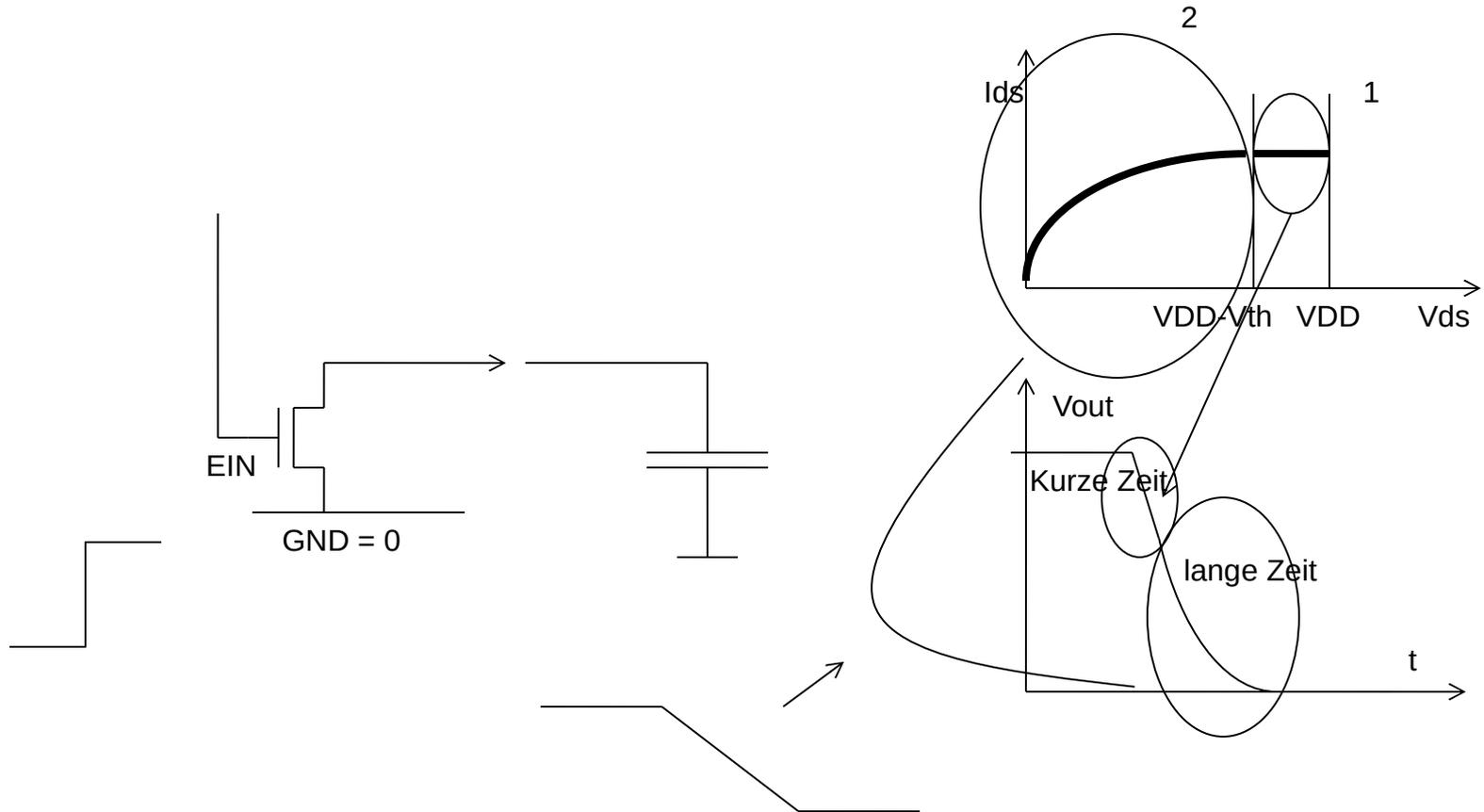
- Im Ausgangsbereich zwischen V_{DD} und $V_{DD} - V_{th}$ wird der Kondensator mit konstantem Strom entladen.



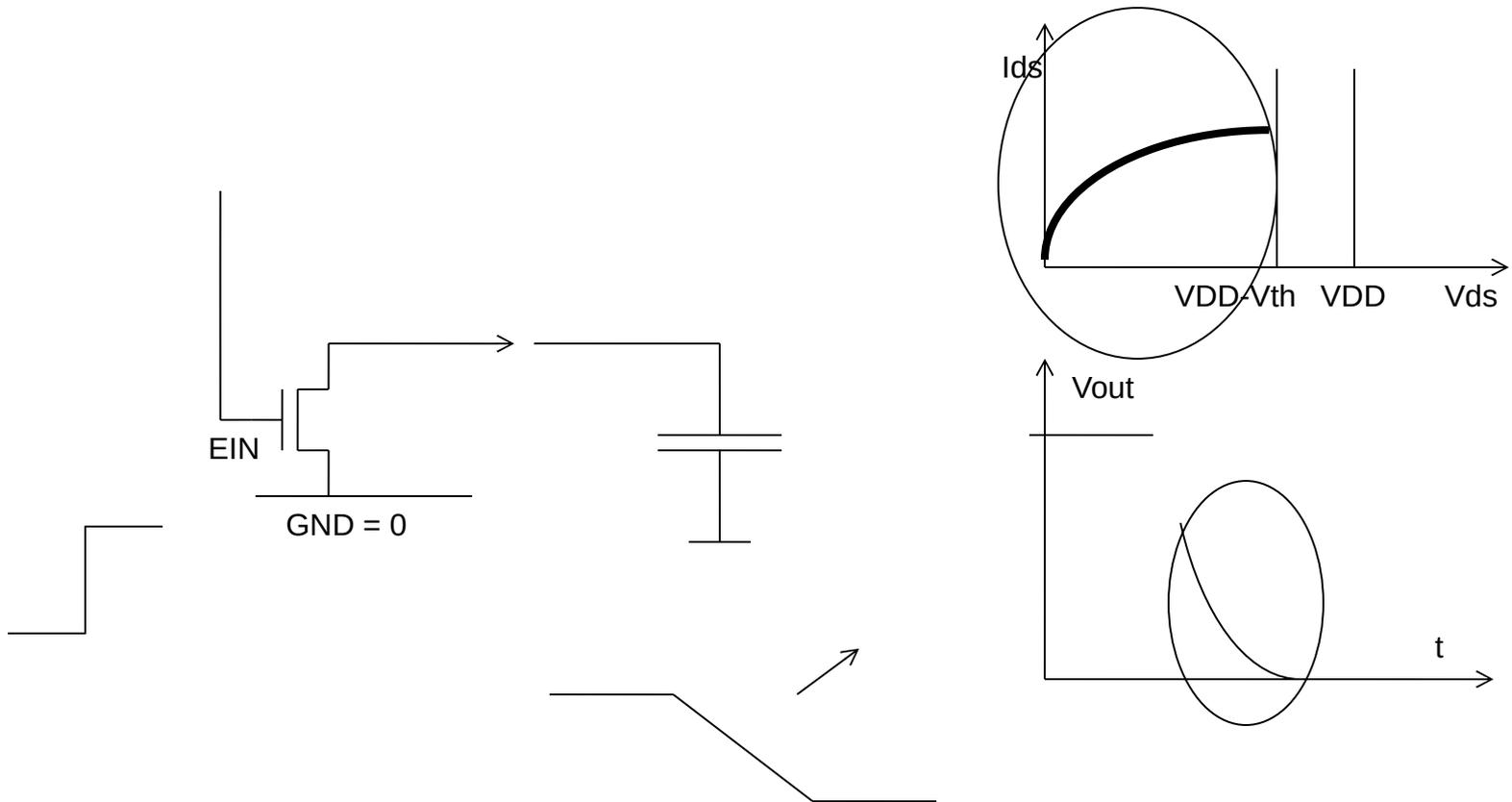
- Für $V_{out} < V_{DD} - V_{th}$ hängt der Entladestrom vom VDS ab.



- Für $V_{out} < V_{DD} - V_{th}$ hängt der Entladestrom vom VDS ab.



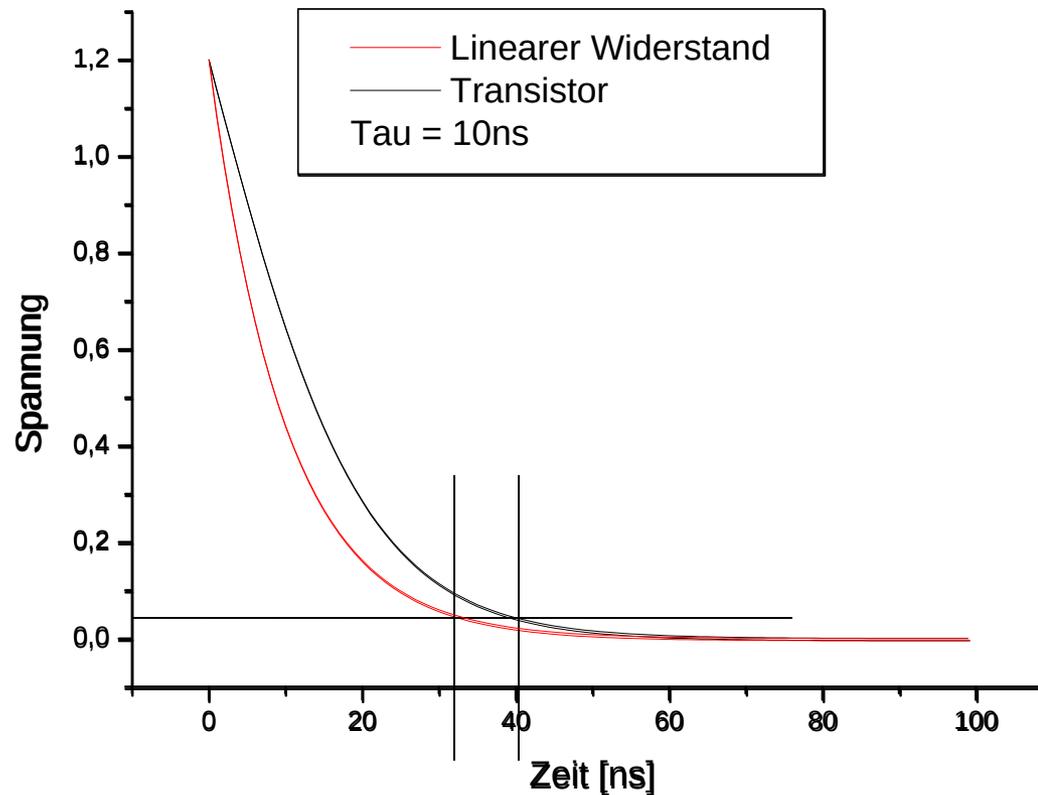
- Für $V_{out} < V_{DD} - V_{th}$ hängt der Entladestrom vom V_{DS} ab.



- $C \, dU/dt = - I_{ds}$
- $C \, dU/dt = - k (V_{ds} V_{gst} - V_{ds}^2/2) = - k (V_{gst} U - U^2/2)$
- $V_{gst} = V_{gs} - V_{th}$
- Gleichung kann analytisch gelöst werden
- Variablen werden getrennt:
- $dU/(V_{gst} U - U^2/2) = -k/C \, dt$
- Seiten werden integriert – die Gleichung gilt für $U < V_{gst}$
- Die Lösung ist
- $U(t) = 2V_{gst} \exp(-t/T)/(1+\exp(-t/T))$
- $T = C/K$

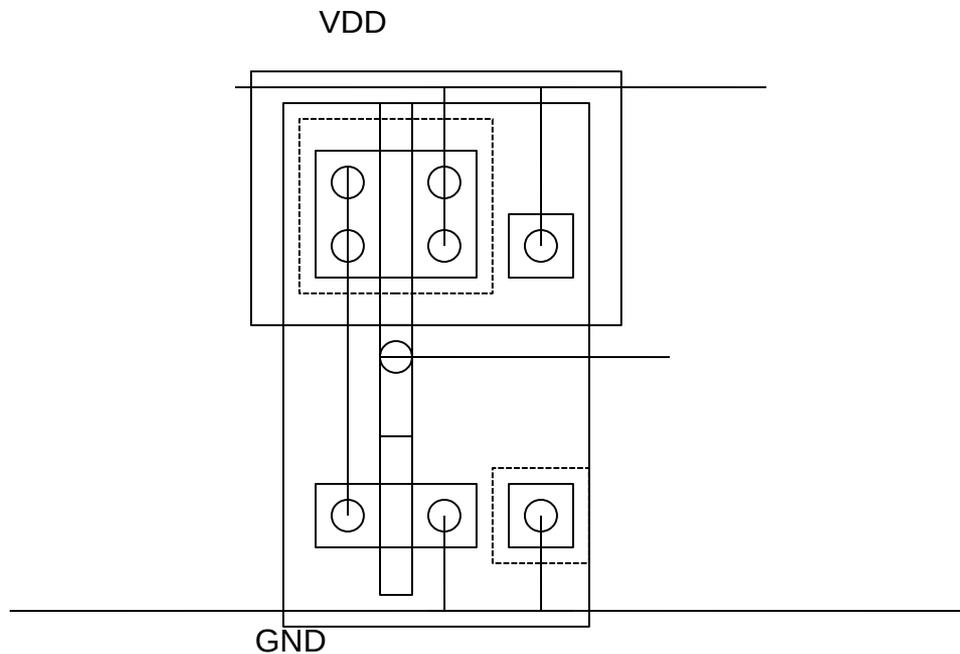
- Die Lösung ist
- $U(t) = 2V_{gst} \exp(-t/T)/(1+\exp(-t/T))$
- $T = C/K$
- im Bereich um $V_{ds} = 0$ verhält sich Transistor wie ein Widerstand mit $R_{on} = 1/K$
- Die Formel kann dann wie folgend umgeschrieben werden
- $U(t) = 2 V_{gs} \exp(-t/R_{on}C)/(1 + \exp(-t/R_{on}C))$
- Diese Formel ist sehr ähnlich wie die Formel wenn wir eine Kapazität mit einem linearen Widerstand entladen würden
- $U(t) = U(0) \exp(-t/RC)$

- Unterschied zwischen zwei Funktionen.
- Widerstand - Entladezeit etwa $3 \cdot RC$
- Transistor - im Entladezeit etwa $4 \cdot RC$.

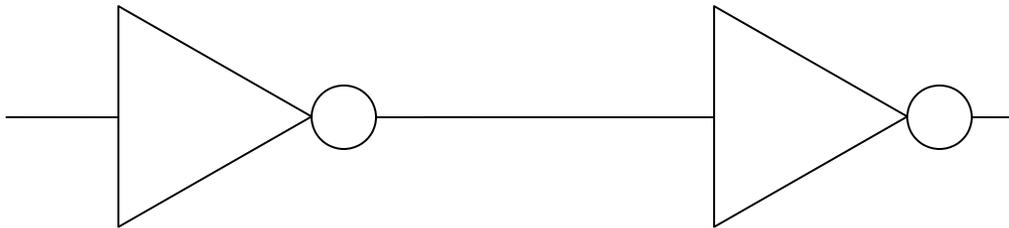


- Geschwindigkeit des Inverters, also die Entladezeit hängt direkt von der Lastkapazität ab und umgekehrt vom Faktor k .
- Faktor k hängt von Mobilität der Ladungsträger (μ) und vom Verhältnis W/L ab.
- $T \sim 4 * C / (\mu C_{ox} W/L)$
- Im Fall wenn sich der Eingang von VDD auf GND ändert, gilt die gleiche Formel mit dem Unterschied dass wir μ und W/L vom PMOS haben.

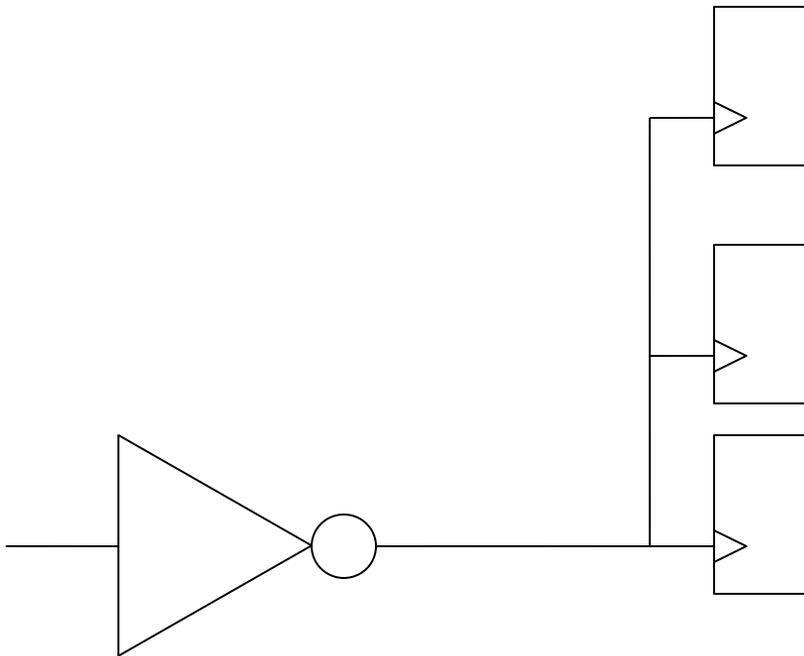
- Wenn fallende und steigende flanke gleich sein sollen, müssen wir unterschiedliche Beweglichkeiten für Elektronen und Löcher mit verschiedenen W/L Faktoren kompensieren.
- Deshalb sind die PMOS Transistoren normalerweise breiter.



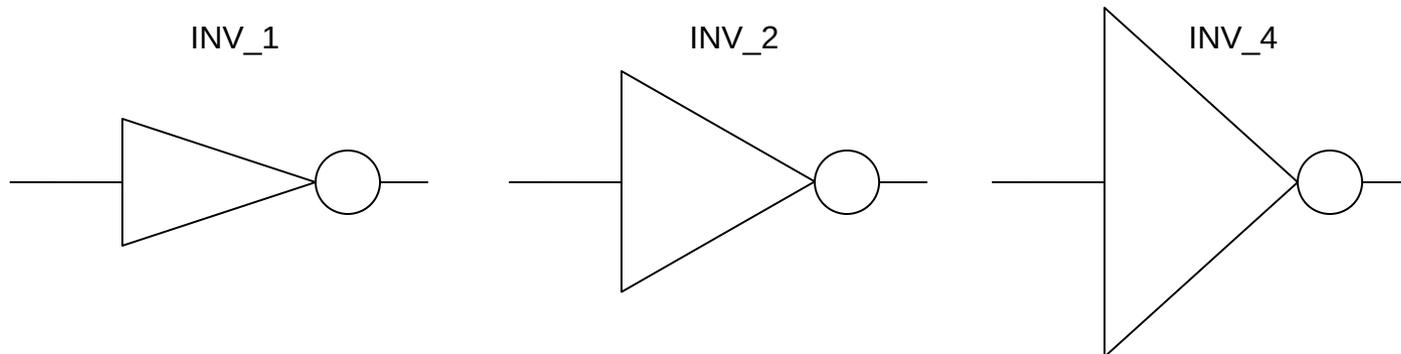
- C - Kapazität der nachfolgenden digitalen Zelle



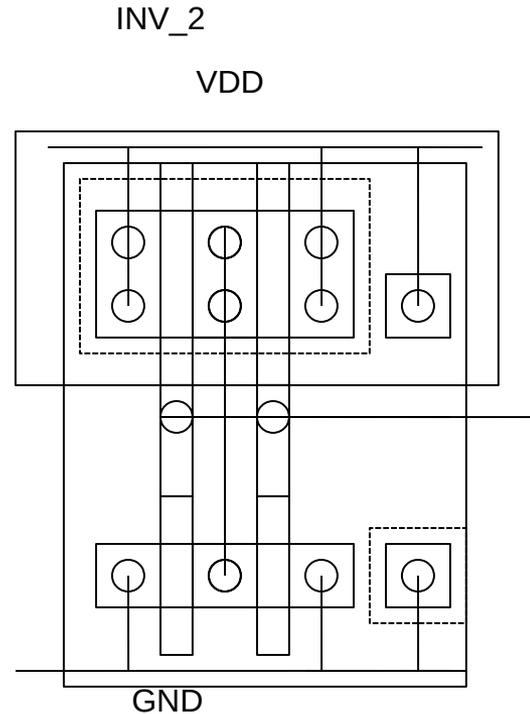
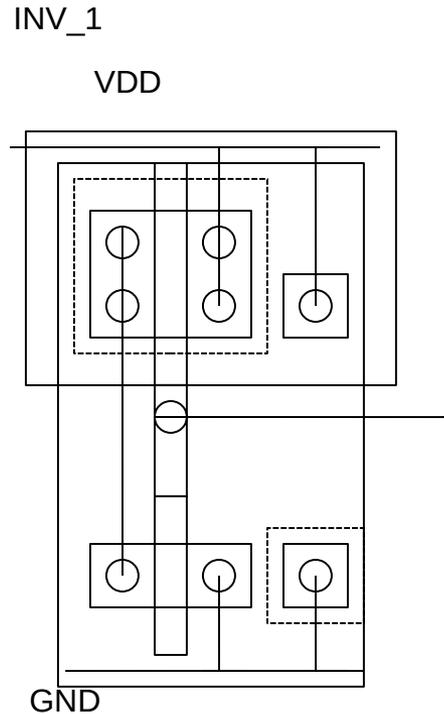
- Oft werden Invertern als Treiber für die Takt-Leitung verwendet. Eine Taktleitung ist an viele Flip Flips angeschlossen und hat große Kapazität.
- Invertern mit großem W/L Verhältnis werden benutzt



- In einer digitalen Bibliothek gibt es Invertoren (und fast allen anderen Gattern) mit verschiedenen Stärken.
- Ein kleiner Inverter hat die Stärke 1 (oder 0) - INV_1.
- INV_2 ... 4 ... 8.



- Ein INV_2n entspricht, effektiv, zwei Parallel geschalteten INV_n.
- Layout ist normalerweise angepasst, so dass INV_2n nicht unbedingt im Layout 2x größer ist



- Wir haben einen Flip-Flop Ausgang, der einem Inverter mit Stärke 1 entspricht
- Wir möchten, dass der Flip-Flop ein Taktsignal generiert, das für 1100 weitere Flip-Flops verwendet wird
- Wir haben die Invertern mit Stärken 1, 2, 3, 4 ... zur Verfügung
- Die Frage ist, wie die optimale Lösung im Sinne der Taktsignal-Verzögerung aussieht



- Es ist interessant, dass man diese mathematische Optimierungsaufgabe analytisch lösen kann.
- Das Ergebnis: Wir brauchen eine Kaskade von Invertern. Optimal wäre, dass der nächste Inverter immer um Faktor $e = 2.718\dots$ größer ist als der vorherige
- Normalerweise wird statt $e=2.718\dots$, ein Verhältnis 2x oder 3x verwendet, da es im Layout einfacher zu realisieren ist
- Taktbaum

